

**INSTITUTO FEDERAL DE MINAS GERAIS
BACHARELADO EM ENGENHARIA ELÉTRICA
TARLEI ALMEIDA**

**PROJETO DE *LAYOUT* DE UM CONVERSOR ANALÓGICO/DIGITAL
UTILIZANDO A TECNOLOGIA CMOS**

**FORMIGA – MG
2017**

TARLEI ALMEIDA

**PROJETO DE *LAYOUT* DE UM CONVERSOR ANALÓGICO/DIGITAL
UTILIZANDO A TECNOLOGIA CMOS**

Trabalho de Conclusão de Curso apresentado ao Curso de Engenharia Elétrica do Instituto Federal de Minas Gerais, como requisito para obtenção do título de bacharel em Engenharia Elétrica.

Orientador: Rafael Vinicius Tayette da Nobrega

FORMIGA – MG

2017

TARLEI ALMEIDA

**PROJETO DE LAYOUT DE UM CONVERSOR ANALÓGICO/DIGITAL
UTILIZANDO A TECNOLOGIA CMOS**

Trabalho de Conclusão de Curso apresentado ao Curso de Engenharia Elétrica do Instituto Federal de Minas Gerais como requisito para obtenção do título de bacharel em Engenharia Elétrica.

Avaliado em: ____ de _____ de _____.

Nota: _____

BANCA EXAMINADORA

Prof. MSc. Rafael Vinicius Tayette da Nobrega

Prof. Dr. Otávio de Souza Martins Gomes

Prof. MSc. Gustavo Lobato Campos

AGRADECIMENTOS

Primeiramente à Deus, pela força concedida nesta jornada e por esta conquista realizada.

Aos meus pais Celina e José, por terem me dado todo suporte e que não mediram esforços para que eu chegasse até aqui.

Aos meus familiares e amigos que me apoiaram e incentivaram, sempre acreditando em meu potencial.

Ao meu orientador, Prof. MSc. Rafael Vinicius Tayette da Nobrega, pela disponibilidade, orientação e ajuda.

Enfim, a todos que colaboraram de forma direta e indireta meus sinceros agradecimentos.

RESUMO

Os circuitos integrados vêm apresentando uma grande importância no desenvolvimento da indústria eletrônica. Eles estão presentes na maioria dos equipamentos eletrônicos utilizados no cotidiano, e a cada dia dispositivos com maior capacidade de processamento são desenvolvidos. A necessidade da aquisição de dados analógicos e a crescente implantação dos sistemas digitais de processamento, estabelecem a utilização de conversores analógico/digital (A/D) para que os dados adquiridos sejam tratados e armazenados. Assim este trabalho apresenta o projeto de *layout* de um conversor A/D de 3 bits utilizando a tecnologia CMOS. Destaca-se que a implementação do conversor foi feita por meio de ferramentas computacionais gratuitas, como o LTSPICE IV para simulações elétricas e o LAsI para o desenho dos *layouts* dos circuitos integrados. No projeto foram definidas as especificações do circuito, o dimensionamento e parametrização de transistores, o desenvolvimento e simulações de circuitos elétricos e o desenho e testes dos *layouts* de circuitos integrados. Por fim, de posse dos *layouts* desenvolvidos realizou-se a extração das *netlists* verificando assim a validação funcional do circuito proposto.

Palavras chave: Circuito integrado. Conversor A/D. Microeletrônica. Tecnologia CMOS.

ABSTRACT

Integrated circuits are of great importance in the development of the electronic industry. They are present in most of the electronic equipment used in the daily routine, each passing day devices with greater processing capacity are developed. The need for analogue data acquisition and the increasing deployment of digital processing systems, establish the use of analogue/digital converters so the acquired data can be processed and stored. This paper presents the layout design of a 3 bit A/D converter using CMOS technology. The converter was implemented using free computational tools, such as the LTSPICE IV for electrical simulations and the LASI for layout design of integrated circuits. In the project, the specifications of the circuit, the dimensioning and parameterization of transistors, the development and simulations of electrical circuits and the design and testing of layouts of integrated circuits were defined. Finally, in possession of the developed layouts the functional validation of the proposed circuit was verified by netlist extraction.

Keywords: Integrated circuits. A/D converter. Microelectronics. CMOS technology.

LISTA DE FIGURAS

Figura 1 - Fotografia do primeiro transistor.	18
Figura 2 - Transistor de junção bipolar.	18
Figura 3 - Fotografia do primeiro circuito integrado.	20
Figura 4 - Primeiro circuito integrado fabricado pelo processo planar.	21
Figura 5 - Comportamento lógico dos transistores NMOS e PMOS.	23
Figura 6 - Curva característica dos transistores MOS.	25
Figura 7 - <i>Wafer</i> de silício.	25
Figura 8 - Exposição a exposição do <i>wafer</i> à luz ultra-violeta.	26
Figura 9 - Diagrama de blocos de um conversor A/D.	28
Figura 10 - Conversor <i>flash</i> (paralelo).	29
Figura 11 - Fluxograma para o projeto de circuitos integrados.	31
Figura 12 - Amplificador operacional de dois estágios.	34
Figura 13 - <i>Layout</i> dos transistores NMOS.	42
Figura 14 - <i>Layout</i> dos transistores PMOS.	42
Figura 15 - Esquemático elétrico do comparador.	43
Figura 16 - <i>Layout</i> do comparador.	43
Figura 17 - Simulação do comparador.	44
Figura 18 - Resposta em frequência do comparador.	45
Figura 19 - Esquemático elétrico da porta inversora.	46
Figura 20 - <i>Layout</i> da porta inversora.	47
Figura 21 - Simulação da porta lógica inversora.	47
Figura 22 - Esquemático elétrico da porta NAND.	49
Figura 23 - <i>Layout</i> da porta lógica NAND.	49
Figura 24 - Simulação da porta lógica NAND.	50
Figura 25 - Esquemático elétrico da porta NAND de 4 entradas.	51
Figura 26 - <i>Layout</i> da porta lógica NAND de 4 entradas.	51
Figura 27 - Simulação da porta lógica NAND de 4 entradas.	52
Figura 28 - Esquemático elétrico do codificador.	52
Figura 29 - <i>Layout</i> do codificador.	53
Figura 30 - Simulação do codificador.	53
Figura 31 - Esquemático elétrico do conversor A/D.	54

Figura 32 - <i>Layout</i> do conversor A/D.....	55
Figura 33 - Simulação do conversor A/D.	56

LISTA DE TABELAS

Tabela 1 - Especificações do comparador.	35
Tabela 2 - Dimensões dos transistores.	38
Tabela 3 - Conversão do código termômetro para binário.	39
Tabela 4 - Transistores utilizados no projeto.	41
Tabela 5 - Tabela verdade da porta inversora.	46
Tabela 6 - Tabela verdade da porta NAND.	48

SUMÁRIO

1 INTRODUÇÃO	12
1.1 Justificativa.....	13
1.2 Objetivos	14
1.2.1 Objetivo geral.....	14
1.2.2 Objetivos específicos.....	14
1.2.3 Objetivos institucionais	14
1.3 Estrutura do Trabalho.....	15
2 FUNDAMENTAÇÃO TEÓRICA.....	16
2.1 História da Evolução da Eletrônica.....	16
2.1.1 O Transistor	16
2.1.2 O Circuito Integrado	20
2.2 Transistores MOS.....	23
2.2.1 Tecnologia CMOS	23
2.2.2 Regiões de Operação	24
2.2.3 Processo de Produção CMOS	25
2.3 Conversor A/D	27
2.3.1 Arquitetura <i>Flash</i>	28
3 METODOLOGIA DESENVOLVIDA.....	31
3.1 Projeto de Circuitos Integrados.....	31
3.1.1 SPICE	32
3.1.2 LASI	33
3.2 Comparador	34
3.3 Codificador.....	38
4 RESULTADOS E DISCUSSÃO.....	41
4.1 Transistores MOS.....	41
4.2 Comparador	43
4.3 Codificador	45
4.4 Conversor A/D <i>Flash</i> de 3 bits	54
5 CONSIDERAÇÕES FINAIS.....	58
5.1 Conclusão	58
5.2 Trabalhos Futuros	59

REFERÊNCIAS BIBLIOGRÁFICAS	60
APÊNDICE A - Parâmetros dos Transistores MOS	63
APÊNDICE B - Dimensionamento dos Transistores	66
APÊNDICE C - <i>Netlist</i> SPICE do conversor A/D	68

1 INTRODUÇÃO

Ao longo das últimas décadas a indústria eletrônica tem apresentado uma grande evolução, devido principalmente ao rápido avanço das tecnologias de integração e de produção em larga escala. Outro fator que permitiu o avanço da indústria eletrônica foi a invenção do circuito integrado (CI). O uso de circuitos integrados nos equipamentos eletrônicos cresce a cada dia, e a necessidade de processamento exigida por estes equipamentos é o motivo deles se desenvolverem cada vez mais rápido (SCHULER, 2013).

Os circuitos integrados reduziram consideravelmente o número de componentes em um circuito, a evolução das tecnologias de fabricação de circuitos integrados permite, atualmente, o encapsulamento de milhões de transistores em um único *chip*. Essa miniaturização permitiu maior portabilidade nas aplicações dos circuitos integrados, visto que assim ocupam menos espaço e dissipam menos potência (SCHULER, 2013).

Com a implantação dos circuitos integrados o número de componentes discretos existentes em um circuito eletrônico diminuiu, assim a confiabilidade dos circuitos aumentou, pois quanto mais componentes discretos estiverem presentes em um circuito eletrônico, maior a probabilidade deste circuito apresentar alguma falha (KANG, 2003).

A principal tecnologia utilizada na produção dos circuitos integrados é a tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*). Ela domina a fabricação de circuitos integrados, pois é utilizada tanto na implementação de circuitos digitais, como portas lógicas e contadores, quanto na implementação de circuitos integrados analógicos, como amplificadores e conversores. As principais vantagens da tecnologia CMOS é o baixo consumo de potência (que causa uma baixa dissipação de calor), a possibilidade de alta densidade de integração e a simplicidade no processo de fabricação (KANG, 2003).

Com o avanço na capacidade de integração em larga escala VLSI (*Very Large Scale Integration*), os sistemas microprocessados e os processadores digitais passaram a ser utilizados em quase todos os dispositivos eletrônicos encontrados atualmente. Os circuitos digitais oferecem muitas vantagens, como a capacidade de

serem programáveis, mas o condicionamento de sinais analógicos e circuitos de conversão de dados, sempre serão necessários para que os circuitos digitais consigam interagir com o mundo analógico como por exemplo, os conversores analógicos/digitais (A/D).

1.1 Justificativa

Apesar da indústria eletrônica estar cada vez maior, boa parte da tecnologia do Brasil é importada e sua indústria depende de acordos externos com outros países e do uso de produtos padronizados. Grande parte do desenvolvimento de componentes eletrônicos no Brasil se limita a produtos com baixa complexidade e baixo valor agregado, quando comparado em uma escala global. No que se diz respeito a microeletrônica, a indústria brasileira ainda não consegue se diferenciar, ela ainda precisa evoluir muito. A inovação no mercado da eletrônica custa muito caro, deixando como opção para as empresas brasileiras a importação de componentes prontos, que não possuem pontos diferenciais do restante do mundo (LOUREIRO, 2010).

Um dos fatores críticos existentes no projeto de circuitos integrados é o custo de fabricação, que está relacionado ao número de componentes discretos do circuito, pois quanto maior for o número destes componentes, maior será o custo do projeto. Por isso existe um grande interesse no desenvolvimento de sistemas completamente integrados. Outro fator é o consumo de potência, devido à crescente produção de equipamentos eletrônicos e ao desenvolvimento de *chips* de alta densidade de integração, criou-se uma busca pela redução das fontes de alimentação, para assim diminuir o consumo de potência nos circuitos (OLIVEIRA, 2005).

A tecnologia de desenvolvimento dos circuitos integrados sempre se renova, e cada vez mais a aquisição das ferramentas que viabilizam a implantação desta tecnologia se tornam mais caras. E quem dita o ritmo dessas mudanças são as empresas fabricantes de processadores e de *softwares* dominantes no mercado (LOUREIRO, 2010). Assim uma forma de reduzir os custos na produção e desenvolvimento dos circuitos integrados é adotar o uso de *softwares* gratuitos, que apesar de limitados possuem os recursos necessários para realizar a implementação dos circuitos integrados.

1.2 Objetivos

1.2.1 Objetivo geral

O objetivo geral desta monografia é desenvolver *layouts* de circuitos integrados digitais e analógicos utilizando a tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*), onde tais circuitos são utilizados na construção de um conversor A/D *flash* de 3 bits.

1.2.2 Objetivos específicos

Para atingir o objetivo geral, alguns objetivos específicos devem ser alcançados:

- Estudar os dispositivos semicondutores;
- Estudar o transistor MOSFET (*Metal-Oxide-Semiconductor Field-effect Transistor*);
- Estudar a tecnologia CMOS;
- Estudar as ferramentas de *layouts* de circuitos integrados (CIs);
- Projetar um conversor analógico/digital (A/D);
- Implementar *layouts* de CIs;
- Validar os *layouts* desenvolvidos.

1.2.3 Objetivos institucionais

Com o desenvolvimento desta monografia alguns objetivos institucionais podem ser alcançados:

- Gerar conhecimento para futuros projetos mais complexos que englobem a produção de circuitos integrados;
- Estimular o desenvolvimento de projetos relacionados a circuitos integrados;
- Formar mão de obra especializada na área de projeto de *layout* de circuitos integrados.

1.3 Estrutura do Trabalho

Esta monografia é constituída por cinco capítulos, no qual o Capítulo 2 apresenta um resumo da evolução da eletrônica, o funcionamento dos transistores MOS e os princípios básicos de um conversor A/D. No Capítulo 3 são definidos os parâmetros e as especificações dos circuitos e também são apresentadas as ferramentas computacionais gratuitas utilizadas. Já o Capítulo 4 apresenta os *layouts* desenvolvidos e os resultados das simulações realizadas. Por fim, o Capítulo 5 expõe as conclusões do projeto e apresenta as perspectivas para trabalhos futuros.

2 FUNDAMENTAÇÃO TEÓRICA

Este capítulo apresenta uma revisão da evolução da eletrônica, além de abordar os principais aspectos da tecnologia CMOS e os princípios básicos dos conversores A/D.

2.1 História da Evolução da Eletrônica

2.1.1 O Transistor

Pouco se sabia sobre os materiais semicondutores no século 19, no entanto já existiam alguns trabalhos empíricos. Os primeiros materiais estudados foram elementos e compostos, que eram maus condutores se aquecidos. Os cientistas observavam os efeitos semicondutores, quando em 1874 Karl Ferdinand Braun usou as propriedades retificadoras do cristal de galena, um material semicondutor composto de sulfeto de chumbo, para desenvolver o primeiro dispositivo semicondutor, o retificador de estado sólido. As propriedades retificadoras criam uma diferença de potencial entre o contato metálico e o semicondutor de tal forma que ela diminui quando os elétrons vão para uma direção e aumenta quando vão para a direção oposta (CHEAH, 2008).

Em 1883, o inventor Thomas Alva Edison descobriu o efeito termiônico acidentalmente, enquanto trabalhava em uma de suas lâmpadas incandescentes. Ele verificou que, sob vácuo, quando um filamento era aquecido ele emitia elétrons. Algum tempo depois em 1904, o físico John Alexander Fleming percebeu que poderia utilizar o efeito termiônico para melhorar a recepção dos sinais de rádio. Ele criou as válvulas termiônicas, as primeiras eram do tipo “diodo”, pois possuíam dois eletrodos. Elas eram basicamente constituídas de um tubo de vidro à vácuo com um filamento (ânodo) que emitia elétrons quando aquecido, os quais eram coletados por uma placa (cátodo) carregada positivamente (GUIZZO, 2000).

As válvulas foram aperfeiçoadas por Lee de Forest em 1906, quando ele adicionou um terceiro eletrodo, chamado grade. A grade controlava o fluxo de elétrons e ficava posicionada entre o ânodo e o cátodo. Por possuir três eletrodos esta válvula ficou conhecida como “triódio”. Com a criação da válvula termiônica foi possível

aperfeiçoar os equipamentos eletrônicos como rádios, telefones e televisores (GUIZZO, 2000). Em 1946 surgiu um dos primeiros computadores eletrônicos, o ENIAC (*Electronic Numerical Integrator Analyzer and Computer*), composto por cerca de 18.000 válvulas (REIS, 2008).

Até a metade do século vinte as válvulas dominavam o mercado eletrônico, mas apesar de todo o avanço na área da eletrônica elas tinham muitos defeitos. Elas eram frágeis, sua vida útil era limitada, consumiam muita energia e dissipavam muito calor. Também havia o relé, um dispositivo eletromecânico que se deslocava unindo dois contatos de metal, que é um excelente comutador e interruptor. Os relés eram bastante simples e resistentes, mas eram muito lentos se comparados com as válvulas (GUIZZO, 2000). Os cientistas buscavam um dispositivo eletrônico que pudesse substituir as válvulas e os relés.

O desenvolvimento da teoria da mecânica quântica na década de 20 desempenhou um papel importante para os dispositivos de estado sólido. Rapidamente os cientistas compreenderam as diferenças entre os materiais condutores, semicondutores e isolantes. Em 1926 o físico Julius Edgar Lilienfeld inventou o conceito de um transistor de efeito de campo (FET - *Field-Effect Transistor*). Ele acreditava que ao aplicar uma tensão em um material com baixa condutividade iria alterar sua condutividade e assim conseguir alcançar a amplificação, mas ele não conseguiu comprovar este conceito (BRINKMAN, 1997).

Foi criado um grupo de pesquisa para começar a estudar os dispositivos de estado sólido em 1936 por Mervin Kelly, na empresa de telefonia Bell Labs. Ele desafiou uma série de pessoas, como William Shockley, Russel Ohl e Jack Scaff, para começarem a trabalhar com dispositivos de estado sólido. Em 1940 Ohl aprendeu que dependendo do modo como for preparado um cristal de silício, é possível obter cristal de silício do tipo *P* ou tipo *N*. Com a chegada da Segunda Guerra Mundial as pesquisas foram suspensas, devido a prioridades bélicas (BRINKMAN, 1997).

Após o fim da Segunda Guerra Mundial, a Bell Labs montou outro grupo de pesquisa sobre dispositivos de estado sólido liderado por William Shockley e Stanley Morgan. Também faziam parte do grupo Walter Brattain, John Bardeen, John Pearson, Bert Moore e Robert Gibney. Inicialmente o grupo concentrou seus esforços na pesquisa dos semicondutores silício e germânio, e Shockley teve a ideia de desenvolver um dispositivo a base de efeito de campo. Seguiram os trabalhos nesta direção e Bardeen foi o responsável por compreender os efeitos de campo. Então no

fim de 1947, Bardeen e Brattain juntamente com Shockley criaram o primeiro transistor, como pode ser visualizado na Figura 1 (BRINKMAN, 1997).

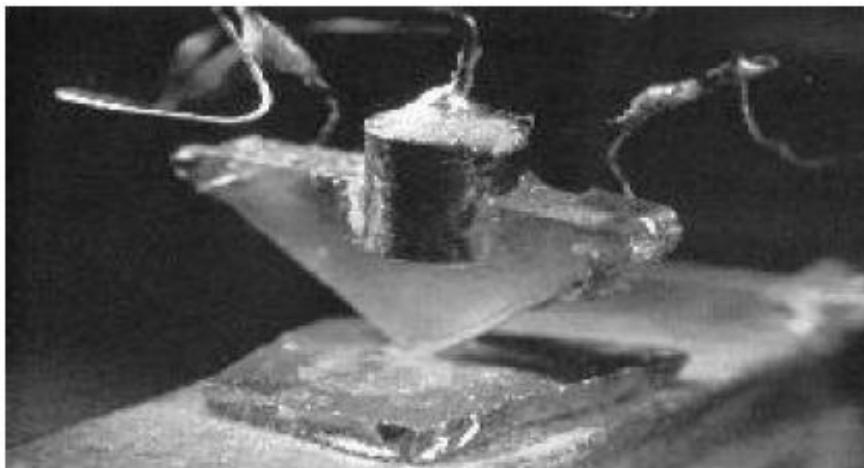


Figura 1 - Fotografia do primeiro transistor.
Fonte: BRINKMAN, 1997.

O primeiro transistor possuía funcionamento similar ao da válvula, mas era menor, consumia menos potência e gerava menos calor. Nesta época ainda não se discutia a substituição de válvulas por semicondutores, o transistor de contato ainda possuía sérios problemas relacionados com a sua estabilidade e reprodutibilidade, tornando-o impróprio para aplicações comerciais. Em 1949, Shockley aperfeiçoou o transistor de contato, desenvolvendo o transistor de junção bipolar, o qual era baseado no conceito de dopagem de semicondutores (CHIQUITO, 1998). Este transistor consistia da sobreposição de três camadas semicondutoras, uma tipo *P* (denominada base) e outras duas tipo *N* (denominadas coletor e emissor), como mostra a Figura 2.

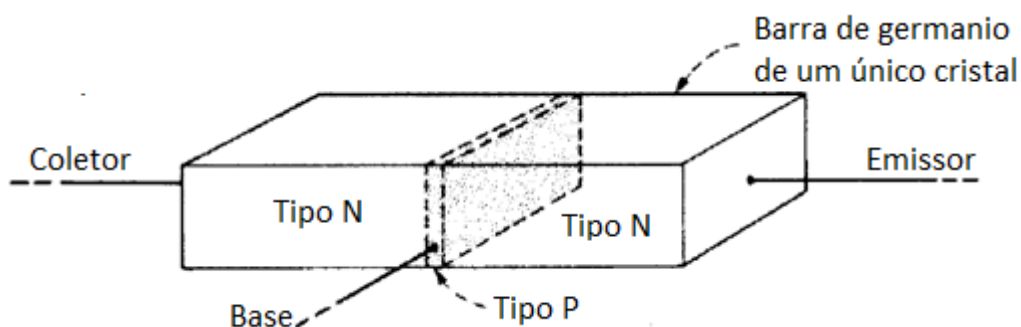


Figura 2 - Transistor de junção bipolar.
Fonte: BRINKMAN, 1997.

Apesar da importância do transistor, somente em 1956 Bardeen, Brattain e Shockley receberam o Prêmio Nobel de Física pela sua invenção. Também é importante notar que em 1952, Ian Ross e George Dacey tiveram sucesso em criar um dispositivo unipolar, que foi o precursor do transistor JFET (*Juntion Field Effect Transistor*). Este dispositivo utilizava junções *PN* como portas, para controlar a passagem de corrente. Neste mesmo ano a Bell Labs resolveu então oferecer licenças para fabricação de transistores para as empresas, ao custo de 25 mil dólares. Uma das primeiras empresas a se interessar foi a Texas Instruments, que na época fabricava equipamentos geológicos (BRINKMAN, 1997). A Texas Instruments obteve a licença e contratou pesquisadores para desenvolver transistores. Um ano mais tarde ela já fabricava seus primeiros transistores de germânio e em 1954 anunciou o primeiro transistor de silício, que operava em uma temperatura mais elevadas que os de germânio. Outras empresas também adquiriram a licença de fabricação de transistores como a General Electric, a Motorola e a Tokyo Tsushin Kogyo (que mais tarde se tornou a Sony) (MEHL, 2017).

Em 1955 a Sony lançou seu primeiro produto transistorizado, que era um rádio. Apesar da Texas Instruments ter desenvolvido um rádio anteriormente, a Sony teve uma ideia melhor para comercializá-lo em escala, criando assim o primeiro mercado de consumo para transistores. Neste mesmo ano Shockley saiu da Bell Labs e fundou sua própria empresa, a Shockley Semiconductors (GUIZZO, 2000). Sua empresa não foi marcante, porém seus pesquisadores após deixarem a empresa fundaram outras empresas como a Fairchild Semiconductor e a Intel, originando assim o Vale do Silício. Dentre estes pesquisadores destacam-se Gordon Moore, Robert Noyce e Andrew Grove (SWART, 2001).

Apesar das vantagens dos transistores eles ainda eram sensíveis a variações de temperatura e umidade, e se algum componente do sistema falhasse o sistema inteiro era comprometido (GUIZZO, 2000). Então a necessidade de melhorar o desempenho dos transistores abriu caminho para outro grande salto tecnológico: a invenção do circuito integrado. Assim, na próxima subseção são apresentados os conceitos e um breve histórico dos CIs.

2.1.2 O Circuito Integrado

A invenção dos transistores permitiu o desenvolvimento de circuitos e equipamentos contendo centenas ou milhares de componentes discretos, como diodos, resistores, capacitores e transistores. No entanto estes componentes precisavam ser interconectados, e soldar manualmente milhares de componentes em milhares de fios custa caro e demora muito. Outro problema era que cada conexão soldada se tornava um ponto de falha em potencial (CHEAH, 2008).

Em 1958 a empresa Texas Instruments trabalhava com o programa Micro-Módulos, onde os componentes eram feitos com o mesmo tamanho e formato e eles se encaixavam para formarem os circuitos. Estes Micro-Módulos resolviam o problema das soldas, mas os circuitos ainda tinham que ser montados manualmente, e se tratando de circuitos grandes e complexos esta técnica não era eficiente. Um de seus engenheiros Jack Kilby pesquisava como resolver este problema, e durante suas pesquisas constatou que os componentes poderiam ser construídos no mesmo substrato de um material semiconductor. A partir desta ideia ele conseguiu desenvolver o primeiro circuito integrado onde os componentes foram construídos em uma tira de germânio colocada em uma lâmina de vidro. A Figura 3 ilustra o primeiro circuito integrado desenvolvido por Kilby, sendo este um oscilador formado por um transistor, um resistor e um capacitor (MAGNO, 2007; SWART, 2001).



Figura 3 - Fotografia do primeiro circuito integrado.
Fonte: MAGNO, 2007.

Um novo processo de fabricação de transistores, o processo planar, foi desenvolvido em 1959 por Jean Hoerni e seu grupo na empresa Fairchild Semiconductor. No mesmo ano este processo foi adaptado por Robert Noyce, para a fabricação de circuitos integrados. O processo planar proporcionou a difusão de várias camadas em uma superfície de silício, chamada *wafer*, deixando uma camada de óxido protetor sobre as junções (SWART, 2001; MANERA, 2002).

A Figura 4 ilustra o primeiro circuito integrado produzido pelo processo planar, anunciado em 1961 pela Fairchild. A comercialização dos circuitos integrados começou a partir de 1962, e vem crescendo cada vez mais em termos de volume e densidades de transistores por *chip* (MAGNO, 2007).

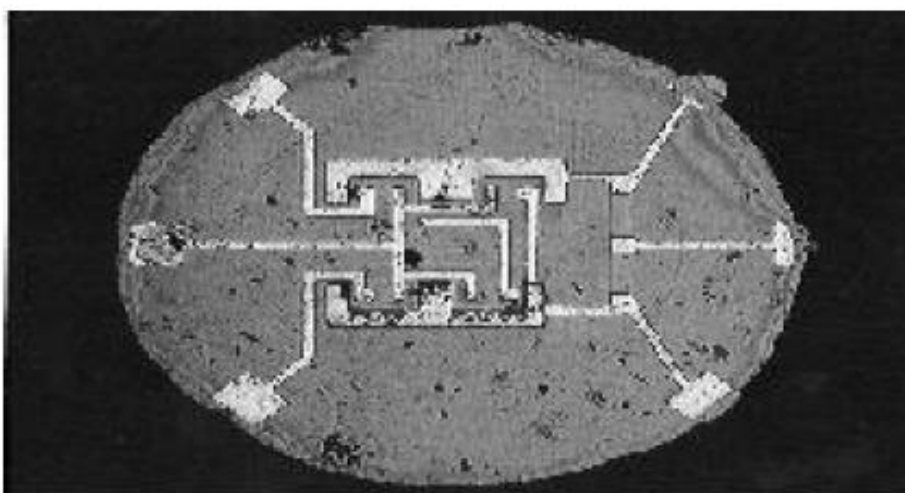


Figura 4 - Primeiro circuito integrado fabricado pelo processo planar.
Fonte: MAGNO, 2007.

Em 1960 a Fairchild Semiconductor inseriu no mercado a primeira família de circuitos integrados contendo portas lógicas. Em 1964 foi colocado no mercado a família de portas lógicas que ficou conhecida como TTL, *Transistor-Transistor Logic* (REIS, 2008).

Com o passar dos anos o número de transistores implantados no mesmo *chip* foi aumentando constantemente, graças a evolução das tecnologias de fabricação de circuitos integrados. Atualmente, é possível implantar centenas de milhões de transistores em um único *wafer* de silício. O aumento contínuo do número de transistores em processadores foi previsto por Gordon Earle Moore, que era o presidente da Intel. Em 1965, ele propôs que a quantidade de transistores implantados

em um processador dobraria a cada 18 meses aproximadamente, e assim ficou conhecida como a Lei de Moore (MOORE, 1965).

Nos anos 70 começaram a ser desenvolvidos os primeiros microprocessadores, sendo o primeiro o 4004 da Intel em 1971. Três famílias dominaram o mercado de microprocessadores desta época, Intel 8080, Motorola M6800 e a Zilog Z80. Ao fim dos anos 70 as empresas colocavam anualmente no mercado circuitos integrados e microprocessadores mais complexos. Com este aumento surgiu a necessidade de automatizar o processo de concepção dos circuitos integrados, que ainda eram projetados manualmente, com um pequeno apoio de ferramentas de CAD (*Computer Aided Design*) básicas (REIS, 2008).

Os circuitos gerados manualmente usavam basicamente um processo de mapeamento direto aleatório, em que as conexões das portas lógicas eram geradas sobre as zonas com transistores. Os transistores e as conexões eram dispostos empiricamente. Apareceram então no final dos anos 70 os primeiros circuitos integrados com blocos gerados automaticamente, mas como a implantação de uma lógica aleatória era muito complexa, foram usados blocos do tipo ROM (*Read Only Memory*) e PLA (*Programmable Logic Array*) (REIS, 2008).

Estes blocos foram usados por muitos anos até o final da década de 80, quando os blocos de controle começaram a usar bibliotecas de células pré-desenhadas, as *standard cells*. A metodologia *standard cells* possui alguns problemas como perda de área no roteamento e o limite do número de células em uma biblioteca. Neste mesmo tempo aconteceu o desenvolvimento de ferramentas CAD para concepção de circuitos integrados de maneira funcional e comportamental (REIS, 2008).

Atualmente uma das formas de especificação de um circuito é utilizando linguagem de descrição de *hardware*, como o VHDL (*VHSIC Hardware Description Language*) ou Verilog, que possibilita a criação automática de *layouts* de circuitos por meio de uma descrição comportamental do sistema. Por outro lado, o aumento do número de transistores em um *chip* necessita de novas soluções que aumentem o desempenho e diminuam o consumo. (REIS, 2008).

A próxima seção apresenta o funcionamento dos MOSFETs (*Metal-Oxide-Semiconductor Field-effect Transistor*) ou simplesmente transistores MOS, que se tornaram extremamente populares por suas vantagens, como o alto nível de integração e a simplicidade de fabricação em ampla escala.

2.2 Transistores MOS

Os transistores MOS deram origem a principal tecnologia utilizada na produção dos circuitos integrados, a tecnologia CMOS. A próxima subseção apresenta os principais aspectos e o funcionamento da tecnologia CMOS.

2.2.1 Tecnologia CMOS

O termo CMOS tem mais de um significado e pode facilmente causar confusões de comunicação e entendimento. Tecnologias ou processos de fabricação CMOS são aqueles que dispõem ou fornecem os dois tipos de transistores: PMOS e NMOS. Uma porta CMOS, por sua vez, corresponde a uma topologia clássica de porta lógica formada por duas redes lógicas independentes e complementares:

- Uma formada por transistores PMOS, responsável pela conexão do sinal de saída à tensão de alimentação ou V_{DD} , conhecida por rede “*pull-up*”;
- Outra formada por transistores NMOS, responsável pela conexão do sinal de saída à referência terra ou GND, também chamada de rede “*pull-down*”.

Os transistores MOS podem ser vistos de forma simplista como dispositivos de três terminais que se comportam como “chaves lógicas”, onde o valor lógico no terminal de controle (*gate*) determina a existência ou não de uma conexão entre os outros dois terminais (*source* e *drain*). Processos CMOS possuem dois tipos de transistores MOS: o transistor do tipo *N* (NMOS) conduz (ou liga) quando há o valor lógico “1” em seu *gate*, enquanto o transistor do tipo *P* (PMOS) conduz quando há o valor lógico “0” neste mesmo terminal, conforme ilustrado na Figura 5 (BUTZEN, 2009).

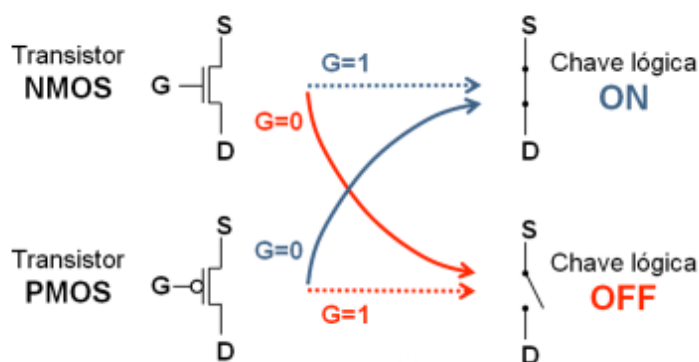


Figura 5 - Comportamento lógico dos transistores NMOS e PMOS.
Fonte: BUTZEN, 2009.

Uma porta lógica é uma pequena porção de um sistema digital, capaz de disponibilizar em sua saída um determinado nível lógico em função do(s) valor(es) de sua(s) entrada(s). Conforme já mencionado, as portas lógicas CMOS são compostas por transistores MOS, de forma que há uma rede *pull-up* formada por transistores PMOS, e outra rede *pull-down* composta por transistores NMOS (BUTZEN, 2009).

2.2.2 Regiões de Operação

De acordo com a polarização dos terminais do transistor, ele pode operar em três diferentes regiões: corte, linear e saturação. Para um transistor NMOS:

- Região de Corte: ocorre quando $V_{GS} < V_{TH}$, onde V_{GS} é a tensão entre o *gate* e a fonte e V_{TH} é a tensão limiar, tensão mínima para a condução do transistor. Nesta região o transistor não opera, considerando um transistor ideal não existe corrente entre o dreno e a fonte, mas se tratando de um dispositivo real existe uma fraca corrente invertida entre o dreno e a fonte.
- Região de Triodo (ou Linear): ocorre quando $V_{GS} > V_{TH}$ e $V_{DS} < V_{GS} - V_{TH}$, onde V_{DS} é a tensão entre o dreno e a fonte. Nesta região o transistor está em operação, e o canal criado permite o fluxo de corrente entre o dreno e a fonte. O transistor opera como um resistor. Onde a corrente é controlada de acordo com a tensão aplicada no *gate*.
- Região de Saturação: ocorre quando $V_{GS} > V_{TH}$ e $V_{DS} > V_{GS} - V_{TH}$. Nesta região o transistor em operação, e existe um fluxo de corrente entre o dreno e a fonte. Devido a tensão aplica no dreno o canal sofre um estrangulamento (*pinch-off*), fazendo que a corrente de dreno I_D permaneça praticamente constante (FERREIRA, 2012).

O transistor PMOS opera com tensões de *gate* e de dreno negativas em relação à fonte, passando corrente negativa entre dreno e fonte.

Em circuitos digitais os transistores MOS são utilizados nas regiões de operação de corte e de triodo, a região de saturação é utilizada em circuitos analógicos. A Figura 6 ilustra as curvas características tensão-corrente de um transistor NMOS.

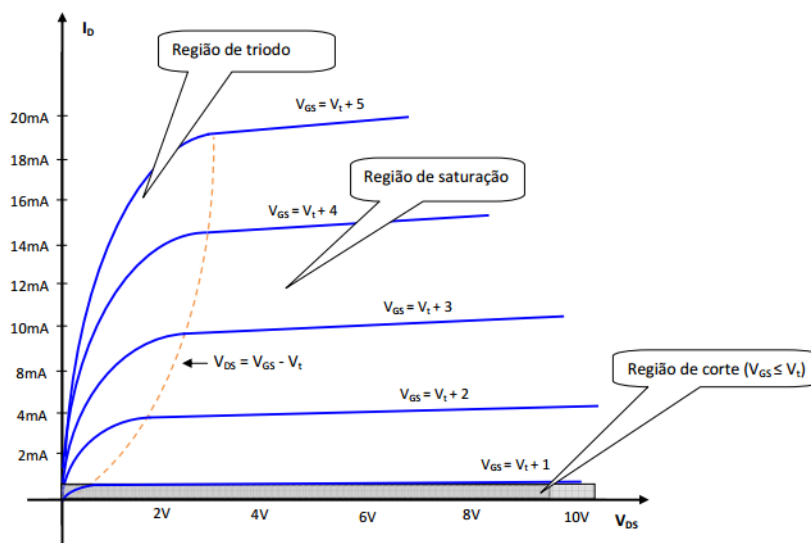


Figura 6 - Curva característica dos transistores MOS.
Fonte: FERREIRA, 2012.

2.2.3 Processo de Produção CMOS

O processo de desenvolvimento de circuitos CMOS consiste em definir quais são as entradas e saídas do circuito, realizar cálculos manuais, simulações, desenvolver o *layout*, fabricar e testar. As especificações de um circuito são concretamente definidas, sendo que os mesmos podem mudar com o desenvolvimento do projeto, mas após começar a produção não é possível realizar grandes mudanças, pois altos custos estariam envolvidos.

Os circuitos integrados são fabricados em fatias finas de silício, chamadas *wafers*. Esses *wafers* tem diâmetros normalmente entre 10 e 30 cm, e uma espessura de no máximo 1 mm, eles são obtidos pelo corte de um lingote de cristal de silício em camadas finas, como representado na Figura 7.

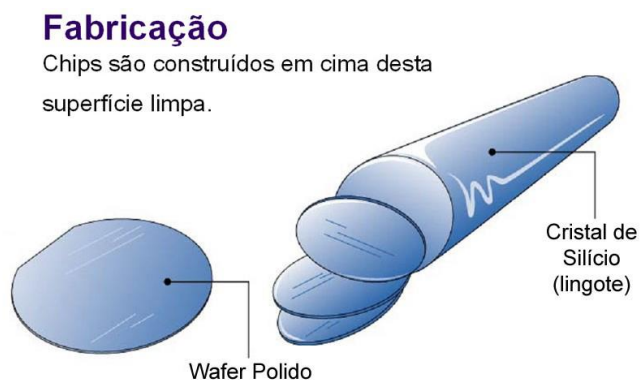


Figura 7 - Wafer de silício.
Fonte: GOMES, 2014.

O processo de fabricação consiste em uma série de etapas nas quais as camadas do circuito integrado são definidas por meio de um processo chamado fotolitografia. Em cada etapa, é aplicada uma máscara óptica apropriada em uma determinada área do *chip*, enquanto algum processo é realizado nas regiões remanescentes. Existem várias tarefas que podem ser realizadas nessas regiões como oxidação, corrosão, deposição de metal e implantação de íons. Primeiramente é aplicada uma camada de dióxido de silício sobre o *wafer*, esta camada serve como isolamento. É feita então a deposição de uma camada de *photoresist*, que é um polímero sensível a luz sobre a camada de óxido. Existe dois tipos deste material, o *photoresist* negativo e o positivo. O *photoresist* negativo é inicialmente solúvel em um solvente orgânico, mas quando exposto à luz se torna insolúvel. O *photoresist* positivo funciona ao contrário, inicialmente ele é insolúvel, mas quando exposto a luz se torna solúvel (BAKER, 2010).

A máscara com o *layout* do circuito integrado desejado é colocada sobre o *wafer*, neste passo é feita a exposição à luz ultra-violeta. Se tratando de um *photoresist* negativo a máscara deverá ser opaca nas regiões onde se deseja processar e transparente nas outras (BAKER, 2010). A Figura 8 ilustra a exposição do *wafer* à luz ultra-violeta.

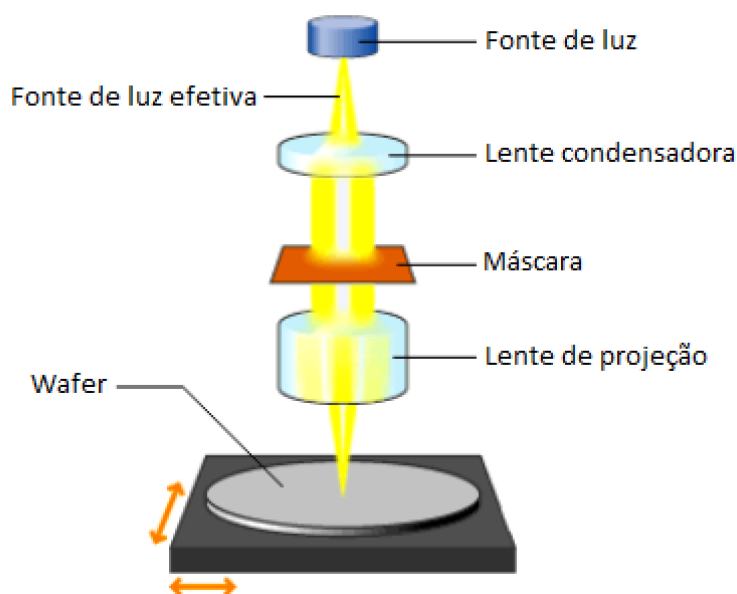


Figura 8 - Exposição a exposição do *wafer* à luz ultra-violeta.
Fonte: GOMES, 2014.

Após a exposição do *wafer* à luz ultra-violeta, aplica-se um ácido para corroer o material que não ficou coberto pelo *photoresist*, este processo é conhecido como *etching*, e então é feita a remoção do *photoresist*. Agora a área exposta pode ser submetida a vários processos, como a implantação de íons, deposição de metal, para obter o circuito integrado desejado (BAKER, 2010).

Muitos dos passos do processo de fabricação de circuitos integrados exigem a necessidade de aumentar a concentração dopante de algumas partes do material. Existem duas maneiras de introduzir estes dopantes: pela difusão ou pela implantação de íons. Em ambas técnicas a área a ser dopada é exposta, enquanto o restante da *wafer* é revestida com uma camada de material protetor. Na difusão as *wafers* são colocadas num tubo de quartzo incorporado num forno aquecedor. Um gás contendo o material dopante é introduzido no tubo, e as altas temperaturas do forno faz com que o material dopante se difunda para a superfície exposta. Na implantação iônica, os dopantes são introduzidos como íons no material. A aceleração dos íons determina o quão profundo eles vão penetrar o material, enquanto a corrente do feixe e o tempo de exposição determinam a dosagem (BAKER, 2010).

O *wafer* pode ser dopado com átomos doadores, tipo *N*, ou átomos aceitadores, tipo *P*. Esta dopagem pode ser com Fósforo para o tipo *N* e Boro para o tipo *P*. A deposição de vários filmes de materiais precisa ser aplicada durante a fabricação do circuito integrado, que podem produzir isoladores, resistores, condutores, dielétricos e dopantes (BAKER, 2010).

Após a apresentação da tecnologia CMOS é necessário apresentar as principais características e o princípio básico de funcionamento do conversor A/D *flash* para entender o funcionamento do circuito desenvolvido. A próxima seção apresenta os principais aspectos do conversor A/D e da arquitetura *flash*.

2.3 Conversor A/D

O conversor analógico/digital (A/D) é um dispositivo codificador que converte um sinal analógico em um sinal digital com um determinado número de bits. Existem diversos tipos de conversores, disponíveis para diferentes aplicações, o tipo de aplicação determina a escolha do método de conversão a ser empregado. O sinal analógico contém valores contínuos e infinitos, enquanto o sinal digital possui valores discretos e finitos (BAKER, 2010).

De maneira geral, manipular um sinal digital é mais fácil que um sinal analógico, por isso o projeto de conversão A/D é realizado para facilitar o manuseio dos sinais analógicos. Segundo (BAKER, 2010), a estrutura básica de um conversor A/D pode ser representada pelo diagrama ilustrado na Figura 9.

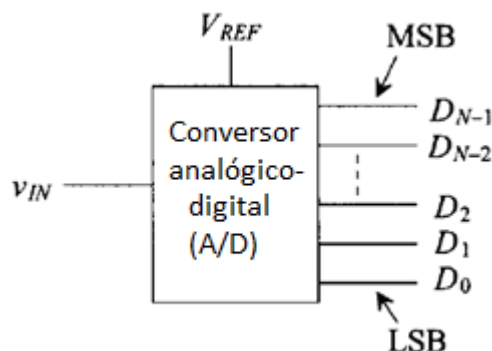


Figura 9 - Diagrama de blocos de um conversor A/D.
Fonte: BAKER, 2010.

A tensão analógica de entrada (V_{IN}) é normalizada em relação a uma referência de tensão (V_{REF}), e a relação obtida na saída é convertida em um sinal digital, com N bits. D_0 representa o bit menos significativo (LSB – *Least Significant Bit*), e D_{N-1} é o bit mais significativo (MSB – *Most Significant Bit*).

Existem várias arquiteturas de conversores A/D, cada uma possui suas vantagens e desvantagens, então é necessário analisar qual arquitetura é a melhor para o projeto desejado. De acordo com (BAKER, 2010) existem quatro arquiteturas que são mais utilizadas: *flash*, *pipeline*, aproximações sucessivas e sigma-delta.

2.3.1 Arquitetura *Flash*

O conversor A/D *flash*, também conhecido como paralelo, possui a maior velocidade de conversão entre as arquiteturas existentes. Eles utilizam um comparador a cada nível de quantização ($2^N - 1$) e 2^N resistores, onde N é o número de bits, conforme mostrado na Figura 10 (BAKER, 2010).

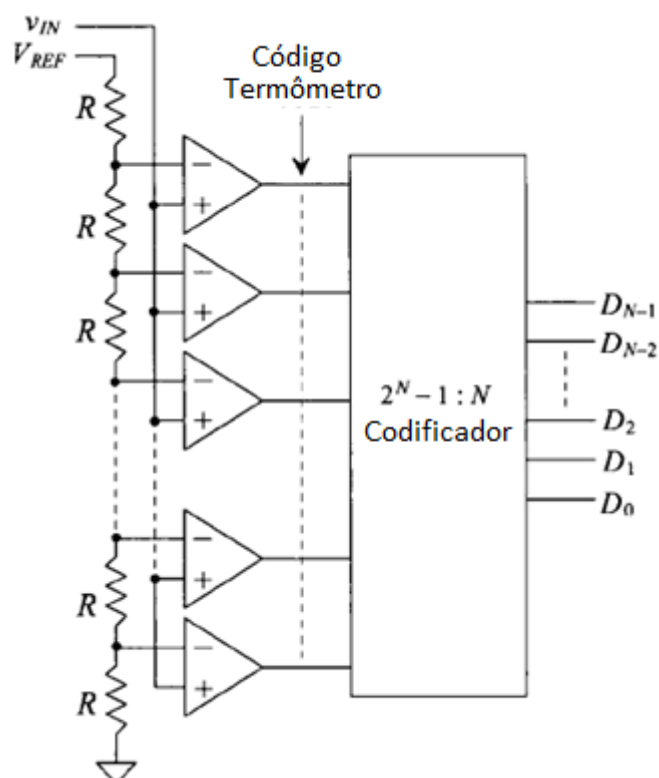


Figura 10 - Conversor *flash* (paralelo).
Fonte: BAKER, 2010.

A tensão de referência é dividida pela cadeia de resistores, que geram diferentes níveis de tensões que serão utilizados nos comparadores. A tensão de entrada será então comparada com cada um dos níveis de tensão existentes, se a tensão de entrada for maior o comparador apresentará em sua saída o nível lógico “1”, se for menor ele apresentará em sua saída o nível lógico “0”. As saídas dos comparadores se comportam de maneira análoga a um termômetro de mercúrio, assim o código de saída é denominado código termômetro. As saídas são processadas por um codificador que produz uma saída binária de N bits (BAKER, 2010).

Por utilizar um grande número de resistores e comparadores, os conversores *flash* estão limitados a baixas resoluções. Suas desvantagens incluem resolução limitada, alta dissipação de potência e uma alta demanda por área de *chip*, aumentando assim os custos de fabricação. Para implementar um conversor A/D de 8 bits por exemplo, seriam necessários 255 comparadores e 256 resistores, o que tornaria inviável a aplicação da arquitetura *flash*.

Para a implementação deste projeto escolheu-se a arquitetura *flash* para o desenvolvimento de um conversor A/D de 3 bits, utilizando 7 comparadores e uma

rede com 8 resistores visando a geração de diferentes níveis de tensões. Desta forma um circuito codificador fica responsável por converter o sinal de saída dos comparadores em um código binário de 3 bits.

De posse dos conceitos apresentados neste capítulo, no próximo é apresentada a metodologia aplicada para projetar o conversor *A/D flash* de 3 bits. Assim, são apresentados o desenvolvimento de cada componente do circuito proposto e as ferramentas computacionais utilizadas.

3 METODOLOGIA DESENVOLVIDA

Neste capítulo são apresentados detalhes dos circuitos utilizados para o projeto do conversor *A/D flash*. Sendo assim, demonstra-se aqui as especificações e parâmetros do projeto, além de expor informações sobre as ferramentas computacionais gratuitas utilizadas para implementação e testes de *layout*.

3.1 Projeto de Circuitos Integrados

A primeira etapa do projeto de circuitos integrados é definir as especificações do projeto, quais serão as topologias e os parâmetros utilizados. Depois é necessário desenhar o esquemático elétrico, para realizar as simulações e os ajustes necessários. A Figura 11 ilustra um fluxograma do projeto de circuitos integrados.

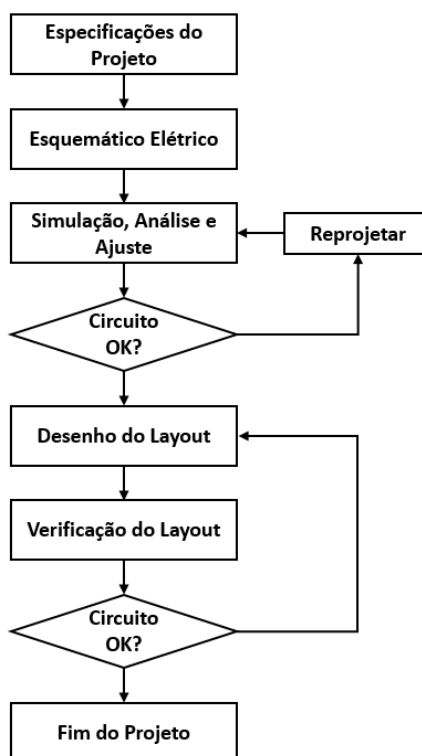


Figura 11 - Fluxograma para o projeto de circuitos integrados.
Fonte: Autor.

Se os resultados das simulações forem satisfatórios, é feito o desenho do *layout* do circuito. Durante a etapa de verificação do *layout* são analisadas todas as regras

de projeto, e realizada a simulação do *layout* desenvolvido. Por fim após todas estas etapas o *layout* pode ser enviado para fabricação. Agora serão apresentadas as ferramentas que foram utilizadas para realizar o projeto do conversor A/D.

3.1.1 SPICE

O SPICE (*Simulation Program with Integrated Circuit Emphasis*) é um *software* de simulação utilizado para analisar o comportamento de circuitos elétricos digitais e analógicos. Os circuitos simulados neste programa podem conter resistores, capacitores, indutores, fontes de corrente, fontes dependentes, linhas de transmissão, *switches* e dispositivos semicondutores, como diodos e MOSFETs. Trata-se de um programa versátil e muito útil no projeto de circuitos, pois é usado em projetos de circuitos tanto em nível eletrônico como em nível de circuitos integrados (WARWICK, 2009).

O SPICE é um dos programas mais completos, no que diz respeito as opções de análise e a quantidade e qualidade das informações resultantes das simulações, tudo isto devido ao fato de permitir uma maior aproximação dos componentes reais em simulação. As principais análises utilizadas nas simulações do SPICE são análises em corrente alternada, em corrente contínua e em regimes transitórios. Também existem outras análises que são menos utilizadas por serem mais específicas, como a análise de Fourier, de ruídos em pequenos sinais, de sensibilidade do circuito, entre outras (STEER, 2007).

Os circuitos podem ser desenvolvidos no SPICE de duas formas: por descrição de texto ou por desenho gráfico. O arquivo de texto utilizado para descrever o circuito é chamado de *netlist*, ele se trata de uma descrição de todos os elementos do circuito e suas conexões. Esta descrição também deve conter todos os parâmetros dos componentes utilizados. A outra forma de descrição permite que o usuário desenhe seu próprio componente e entre com os parâmetros do mesmo, ou então que utilize componentes já existentes. A partir destes componentes é possível desenhar o circuito e todas suas conexões, para que então sejam feitas as análises desejadas (NAGEL, 1973; STEER, 2007).

Existem vários simuladores SPICE, como o PSPICE, HSPICE e o LTSPICE. Para o desenvolvimento deste projeto escolheu-se empregar o LTSPICE IV que é um *software* gratuito, disponível para os sistemas operacionais Windows e Mac OS.

Todos os esquemáticos, simulações e análises dos circuitos desenvolvidos foram realizados pelo LTSPICE IV.

3.1.2 LASI

O *software* LASI (*Layout System for Individuals*) é uma ferramenta CAD utilizada para desenvolver desenhos de *layout* de circuitos integrados. Ele é gratuito e foi feito principalmente para o uso educacional, por isto não substituiu um *software* comercial de projetos (LASI 7, 2017).

Existem algumas regras que devem ser obedecidas no desenvolvimento de *layouts* de circuitos integrados, designadas DRC (*Design Rule Check*). A maioria dos programas de desenvolvimento de *layouts* possuem uma ferramenta DRC que irá verificar o *layout* da célula e garantir se todas as dimensões, separações e sobreposições estão dentro das tolerâncias especificadas pelo processo de fabricação. O LASI possui o utilitário LasiDrc que verifica se o projeto atende as regras referente ao arquivo selecionado (BAKER, 1998). A regra escolhida para este projeto foi a MOSIS DEEP, mas existem outras como a SCMOS e a CMOSSEDU, então é importante analisar outras regras para escolher a que melhor se encaixa no projeto.

Outro utilitário importante existente no LASI é o LasiCkt, por meio dele é possível gerar a *netlist* SPICE do *layout* desenvolvido, para que o circuito possa ser simulado e analisado. Durante o desenvolvimento do *layout* alguns *layers* específicos devem ser utilizados para identificar cada dispositivo e suas conexões. Existem dois arquivos de textos que podem ser utilizados para complementar as informações da *netlist* que será gerada, o primeiro contém informações básicas do circuito, como as tensões de alimentação e os sinais de entrada, o segundo contém os parâmetros dos dispositivos desenvolvidos (BAKER, 1998).

Existem duas metodologias principais para a concepção de circuitos integrados, a *standard-cell* e a *full-custom*. A metodologia *full-custom* é utilizada para o projeto e concepção de circuitos que necessitam de alto desempenho, os esforços necessários são maiores e o tempo gasto é maior. A proposta da metodologia *standard-cell* consiste em reduzir os esforços de implementação por meio do reuso de células lógicas já existentes, assim as células são desenvolvidas e verificadas uma única vez, reduzindo o custo total do projeto (CALLEGARO, 2009). A metodologia escolhida para este projeto foi a *standard-cells*, pois o LASI trabalha com uma

estrutura de hierarquias (*ranks*), onde células de *ranks* menores podem ser utilizadas no projeto de células de *rank* maiores, facilitando o projeto de circuitos integrados.

As ferramentas computacionais apresentadas nesta seção, são utilizadas para desenvolver os *layouts* de cada bloco do circuito proposto. Assim, a próxima seção apresenta o desenvolvimento do circuito comparador, responsável por comparar os diferentes níveis de tensões existentes com a tensão de entrada.

3.2 Comparador

Entre as topologias existentes para amplificadores operacionais, a escolhida para implementar o comparador foi o amplificador operacional de dois estágios, conforme ilustra a Figura 12. Esta configuração foi escolhida pois possui baixa complexidade e um bom ganho. O primeiro estágio consiste em um amplificador diferencial, formado pelos transistores de entrada M1 e M2, e o espelho de corrente M3 e M4, o transistor M5 fica responsável pela polarização deste estágio. O segundo estágio é chamado de fonte comum, onde M6 é o transistor de entrada e o transistor M7 atua como uma fonte de corrente, este estágio é responsável por melhorar a amplitude do sinal de saída. Para garantir a estabilidade do circuito e a compensação da frequência, são utilizados o capacitor de carga, C_L , e o capacitor de compensação, C_c (ALLEN, 2002; CUNHA, 2016).

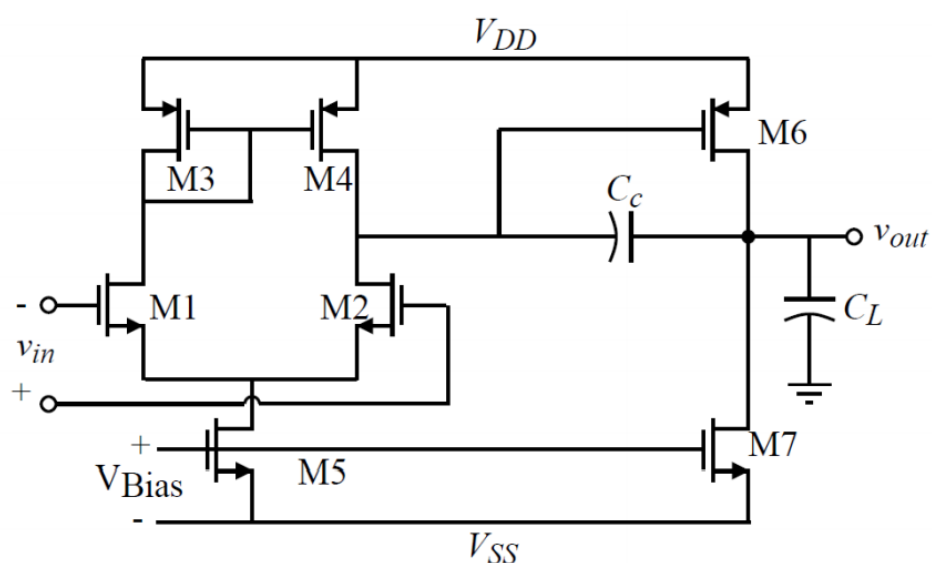


Figura 12 - Amplificador operacional de dois estágios.
Fonte: ALLEN, 2002.

Para dimensionar os transistores do amplificador, é necessário levar em consideração algumas fórmulas essenciais. O dimensionamento do comprimento (L) e da largura (W) dos transistores é baseado no parâmetro de transcondutância g_m , os cálculos são feitos para obter uma aproximação dos valores de W/L dos transistores, que podem ser ajustados caso necessário.

A equação 3.1 apresenta o cálculo da transcondutância de um transistor,

$$g_m \cong \sqrt{2K'(W/L)|I_D|} \cong \frac{K'W}{L}(V_{GS} - V_T). \quad (3.1)$$

Onde:

K' = parâmetro de transcondutância [A/V^2];

V_T = tensão de limiar do transistor [V];

I_D = corrente de dreno do transistor [A];

V_{GS} = tensão entre o *gate* e a fonte do transistor [V].

O valor de K' varia entre transistores PMOS e NMOS e ele depende da tecnologia, seu valor pode ser calculado ou encontrado entre os parâmetros existentes no modelo do transistor empregado.

Para o dimensionamento dos transistores foi utilizado o procedimento apresentado por (ALLEN, 2002). As dimensões dos transistores M1 e M2 são iguais, assim como as de M3 e M4 também são, assim a transcondutância destes transistores é a mesma.

Antes de começar os cálculos é necessário informar algumas especificações do projeto, que devem ser definidas pelo projetista para realizar o dimensionamento dos transistores, conforme mostra Tabela 1.

Tabela 1 - Especificações do comparador.

Especificação	Valor
V_{DD}	5 V
V_{SS}	-5 V
GB	5 MHz
C_L	10 pF
SR	10 V/ μ S
$ICMR$	-3,5 a 4.5 V

Fonte: Autor.

Onde:

V_{DD} – Tensão de alimentação positiva [V];

V_{SS} – Tensão de alimentação negativa [V];

GB – Frequência de ganho unitário [MHz];

C_L – Capacitor de carga [F];

SR – *slew-rate*, a taxa de variação do amplificador [V/S];

$ICMR$ – Faixa de tensão de modo comum na entrada [V].

Para este projeto foram utilizados os parâmetros dos transistores NMOS e PMOS da tecnologia CMOS 0,35 μm da TSMC (*Taiwan Semiconductor Manufacturing Company*). O APÊNDICE A contém todos os parâmetros do modelo utilizado, como por exemplo, o parâmetro de transcondutância K' .

Para começar o dimensionamento o primeiro passo é utilizar o valor do capacitor C_L escolhido para calcular o valor mínimo do capacitor C_c que vai garantir a estabilidade do circuito (deseja-se uma margem de fase de aproximadamente 60°), conforme a equação 3.2,

$$C_c > (2,2/10)C_L. \quad (3.2)$$

Com os valores do capacitor C_c e do SR desejado pode-se calcular a corrente do transistor M5 (I_5), conforme a equação 3.3,

$$I_5 = SR(C_c). \quad (3.3)$$

A relação das dimensões do transistor M3 pode ser calculada a partir dos requerimentos $ICMR$, conforme a equação 3.4,

$$(W/L)_3 = \frac{I_5}{(K'_3)[V_{DD} - V_{in(max)} - |V_{T03(max)}| + V_{T1(min)}]^2}. \quad (3.4)$$

Com o valor de GB e C_c é possível calcular a transcondutância g_{m1} , conforme a equação 3.5 e calcular a relação de M1, conforme a equação 3.6,

$$g_{m1} = GB(C_C), \quad (3.5)$$

$$(W/L)_1 = \frac{g_{m1}^2}{(K'_1)(I_5)}. \quad (3.6)$$

Agora com as informações disponíveis é possível calcular a tensão de saturação do transistor M5 (V_{DS5}) e assim calcular a relação de M5 conforme as equações 3.7 e 3.8, respectivamente,

$$V_{DS5} = V_{in(min)} - V_{SS} - \left(\frac{I_5}{\beta_1}\right)^{1/2} - V_{T1(max)}, \quad (3.7)$$

$$(W/L)_5 = \frac{2(I_5)}{K'_5(V_{DS5})^2}. \quad (3.8)$$

Para atingir uma margem de fase razoável, o transistor M6 deve possuir uma transcondutância 10 vezes maior que M1, conforme a equação 3.9,

$$g_{m6} \geq 10 g_{m1}. \quad (3.9)$$

Para conseguir um espelhamento de corrente adequado no primeiro estágio (M3 e M4), é necessário que $V_{SG4} = V_{SG6}$. Por meio da equação 3.1 é possível calcular g_{m4} e assim encontrar a relação do transistor M6, conforme a equação 3.10,

$$(W/L)_6 = (W/L)_4 \frac{g_{m6}}{g_{m4}}. \quad (3.10)$$

Conhecendo g_{m6} e a relação do transistor M6 é possível definir a corrente I_6 com a equação 3.11,

$$I_6 = \frac{g_{m6}^2}{(2)(K'_6)(W/L)_6}. \quad (3.11)$$

E por último a relação do transistor M7 pode ser determinada por meio da equação 3.12,

$$(W/L)_7 = (W/L)_5 \left(\frac{I_6}{I_5} \right). \quad (3.12)$$

Todos os cálculos desenvolvidos para o dimensionamento dos transistores estão presentes no APÊNDICE B. O capacitor C_c utilizado foi de 3 pF e as dimensões calculadas para os transistores foram inseridas na Tabela 2.

Tabela 2 - Dimensões dos transistores.

Transistor	L [μm]	W [μm]
M1	2	8
M2	2	8
M3	2	18
M4	2	18
M5	2	8
M6	2	184
M7	2	42

Fonte: Autor.

Como pode-se visualizar na Tabela 2 houve um redimensionamento na relação W/L do transistor M6, por se tratar de um transistor que possui grande largura de canal para desenhar o seu *layout* utilizou-se um método chamado *folding* de transistores. Este método consiste em quebrar os transistores maiores em transistores menores, conectando-os em paralelo, assim o tamanho da célula pode ser reduzido (BAKER, 2010). Então para facilitar o desenho do *layout* a relação foi modificada para 92, mas foi verificado que esta mudança não afetaria o desempenho do circuito.

Para implementar um conversor A/D de 3 bits utiliza-se 7 comparadores, cada um deles apresenta em sua saída níveis lógicos 0 ou 1 que são convertidos em um código binário de 3 bits pelo circuito codificador, apresentado na próxima seção.

3.3 Codificador

O codificador é um circuito digital que converte um sinal de entrada em um sinal de saída codificado. Um formato de codificação muito conhecido é o binário, mas existem outros formatos como o termômetro. No código termômetro, cada vez que o

sinal aumenta em relação ao nível de referência, é adicionado um novo bit com um número “1” na saída. Os sinais de saída dos comparadores utilizados no conversor proposto podem ser representados pelo código termômetro, então para obter a saída digital do conversor é necessário converter o código termômetro em um código binário de 3 bits. A Tabela 3 mostra a tabela verdade da conversão do código termômetro para um código binário de 3 bits.

Tabela 3 - Conversão do código termômetro para binário.

Termômetro							Binário		
A6	A5	A4	A3	A2	A1	A0	D2	D1	D0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	1	0	0	1
0	0	0	0	0	1	1	0	1	0
0	0	0	0	1	1	1	0	1	1
0	0	0	1	1	1	1	1	0	0
0	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1

Fonte: OLIVEIRA, 2005.

A Tabela 3 pode ser descrita pelas equações booleanas 3.13, 3.14 e 3.15.

$$D0 = A6 + \overline{A5} A4 + \overline{A3} A2 + \overline{A1} A0, \quad (3.13)$$

$$D1 = A5 + \overline{A3} A1, \quad (3.14)$$

$$D2 = A3. \quad (3.15)$$

A variável D2 não passou por nenhuma operação lógica, mas neste circuito é necessário encontrar alguma alternativa para garantir que ela sempre represente um sinal de tensão positiva, visto que a saída do comparador pode ser tanto positiva quanto negativa. Uma maneira de resolver este problema é invertendo este sinal duas vezes.

Para reduzir custos na construção do circuito codificador, as operações lógicas utilizadas para obter as variáveis D0 e D1 são convertidas para serem implementadas

com as portas lógicas NAND e INVERSORA, utilizando o teorema do complemento de De Morgan, conforme a equação 3.16,

$$\overline{A + B} = \bar{A} \bar{B}. \quad (3.16)$$

As equações 3.17, 3.18 e 3.19 mostram as equações booleanas simplificadas que serão utilizadas para obter o código binário de 3 bits,

$$D0 = \overline{\overline{A6} \overline{A5} \overline{A4} \overline{A3} \overline{A2} \overline{A1} \overline{A0}}, \quad (3.17)$$

$$D1 = \overline{\overline{A5} \overline{A3} \overline{A1}}, \quad (3.18)$$

$$D2 = \overline{\overline{A3}}. \quad (3.19)$$

Esta simplificação além de reduzir os custos facilita o desenvolvimento dos *layouts* dos circuitos integrados, visto que é necessário desenvolver apenas dois tipos de portas lógicas, NAND e INVERSORA, que são portas lógicas simples.

Todos os circuitos e ferramentas computacionais apresentados neste capítulo foram utilizados para desenvolver o *layout* do conversor A/D *flash* de 3 bits. Nas simulações foi utilizado um computador com processador Intel Core i7 2,50 GHz com 8 GB de memória RAM DDR e sistema operacional Windows 10 Enterprise. O desenho do *layout* de cada parte do circuito e todas as simulações e análises realizadas são apresentadas no próximo capítulo.

4 RESULTADOS E DISCUSSÃO

Neste capítulo são apresentados os resultados obtidos durante a implementação dos componentes que fazem parte do conversor A/D. Assim, demonstrou-se o desenvolvimento de cada *layout* e os resultados obtidos ao realizar suas simulações.

4.1 Transistores MOS

As primeiras estruturas desenvolvidas no LASI foram os transistores NMOS e PMOS, que são células de *rank* 1 utilizadas para criar os *layouts* de todos os dispositivos do projeto. As dimensões dos transistores deste projeto estão presentes na Tabela 4.

Tabela 4 - Transistores utilizados no projeto.

Transistor	L [μm]	W [μm]
NMOS	2	6
NMOS	2	8
NMOS	2	42
PMOS	2	12
PMOS	2	18
PMOS	2	184

Fonte: Autor.

Para desenvolver o *layout* de um transistor NMOS foi necessário criar duas regiões ativas, uma para o dreno e a fonte e outra para o substrato. Neste processo o substrato de silício é dopado com impurezas do tipo *P* e o dreno e fonte são dopados com impurezas do tipo *N*, para ser desenvolvido o transistor. Além dessas regiões ativas, também é necessário criar duas camadas, uma para cada região ativa, para determinar o tipo de dopagem que será realizada naquela região, tipo *P* ou tipo *N*. Por se tratar de um transistor NMOS a camada do substrato será do tipo *P* e a camada da região ativa do dreno e fonte do tipo *N*. A Figura 13 ilustra os *layouts* dos transistores NMOS desenvolvidos, que foram utilizados na construção do circuito proposto.

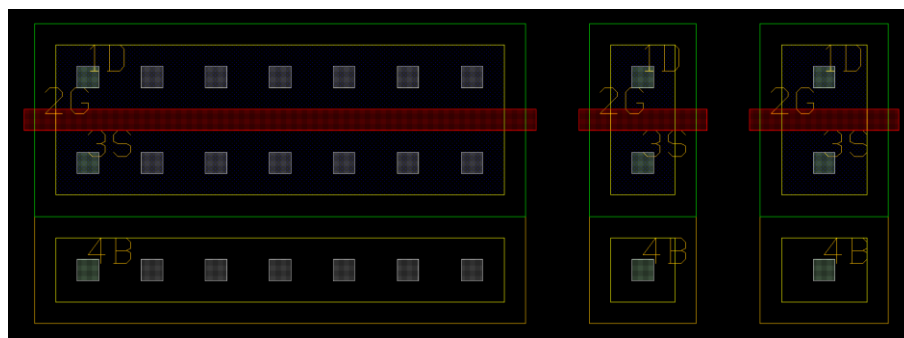


Figura 13 - *Layout* dos transistores NMOS.

Os transistores da Figura 13 foram desenhados em células diferentes, para serem usados como células padrões no desenvolvimento dos outros dispositivos do projeto. Os quatro terminais mostrados são: 1D dreno, 2G *gate*, 3S fonte e 4B substrato.

Diferente do NMOS, no transistor PMOS o substrato de silício é dopado com impurezas do tipo *N* e o dreno e fonte são dopados com impurezas do tipo *P*. As camadas que determinam o tipo de dopagem da região para este transistor é o contrário do NMOS, a camada do substrato será do tipo *N* e a camada da fonte e dreno é do tipo *P*. A Figura 14 ilustra os *layouts* dos transistores PMOS desenvolvidos.

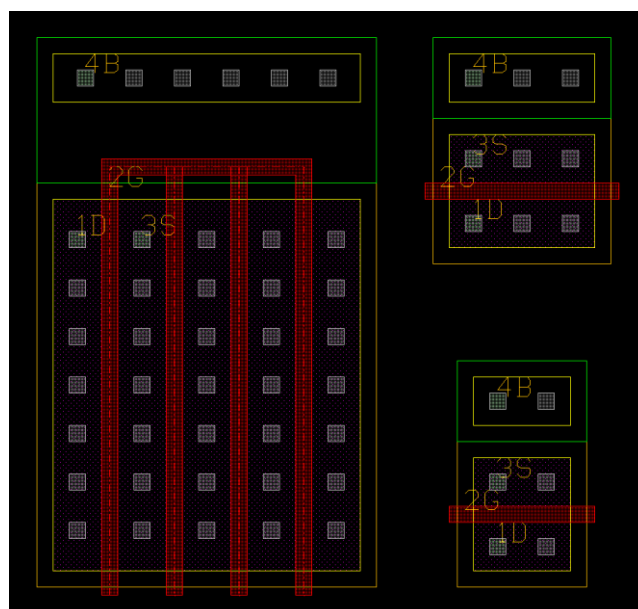


Figura 14 - *Layout* dos transistores PMOS.

Após o desenvolvimento dos layouts dos transistores PMOS e NMOS, realizou-se a implementação dos outros blocos do circuito proposto. A próxima seção apresenta o projeto do circuito comparador, responsável por comparar o sinal de

analógico de entrada com os diferentes níveis de tensões gerados pela rede de resistores.

4.2 Comparador

Antes de implementar o *layout* do comparador, que se trata de um amplificador operacional de dois estágios, seu esquemático foi realizado no LTSPICE IV. A Figura 15 ilustra o esquemático do comparador projetado.

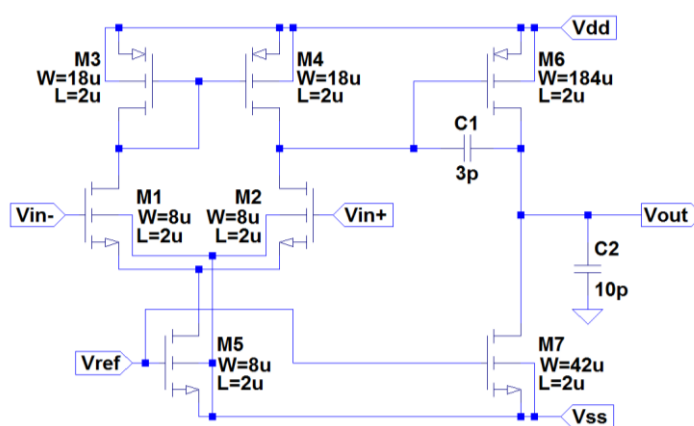


Figura 15 - Esquemático elétrico do comparador.

Após simular o esquemático foi verificado que o comparador funcionou conforme esperado, então seu *layout* foi implementado, conforme ilustra a Figura 16.

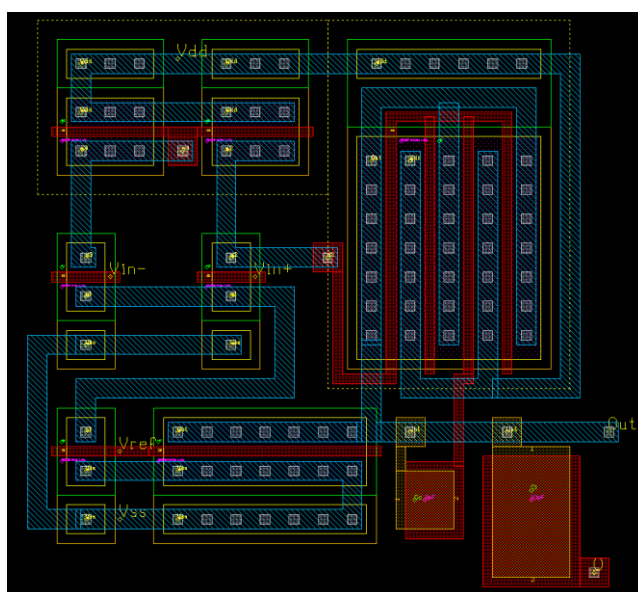


Figura 16 - *Layout* do comparador.

Como este circuito possui capacitores, foram utilizados os *layers* poly1 (em vermelho) e poly2 (em laranja) para implementar os capacitores, visto que eles possuem uma boa capacitância por unidade de área (BAKER, 2010).

Para realizar a simulação do *layout* desenvolvido foi aplicado um sinal senoidal de amplitude de 5 V e frequência 5 kHz na entrada não inversora (V_{in+}) e a entrada inversora (V_{in-}) foi aterrada, para verificar o funcionamento no circuito. O sinal de saída pode ser observado na Figura 17.

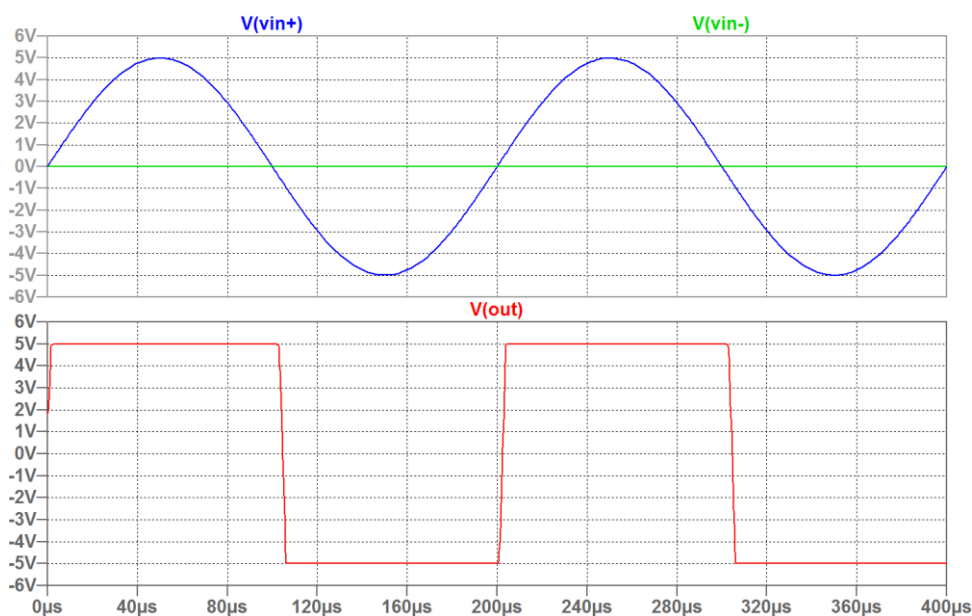


Figura 17 - Simulação do comparador.

O circuito comportou-se conforme o esperado, quando a tensão aplicada em V_{in+} é maior que V_{in-} a tensão na saída satura para V_{DD} e quando acontece o contrário ele satura para V_{SS} . Uma outra análise que pode ser feita neste circuito, é verificar a resposta em frequência do circuito, que pode ser realizada pela análise AC do LTSPICE IV, conforme ilustrado pela Figura 18.

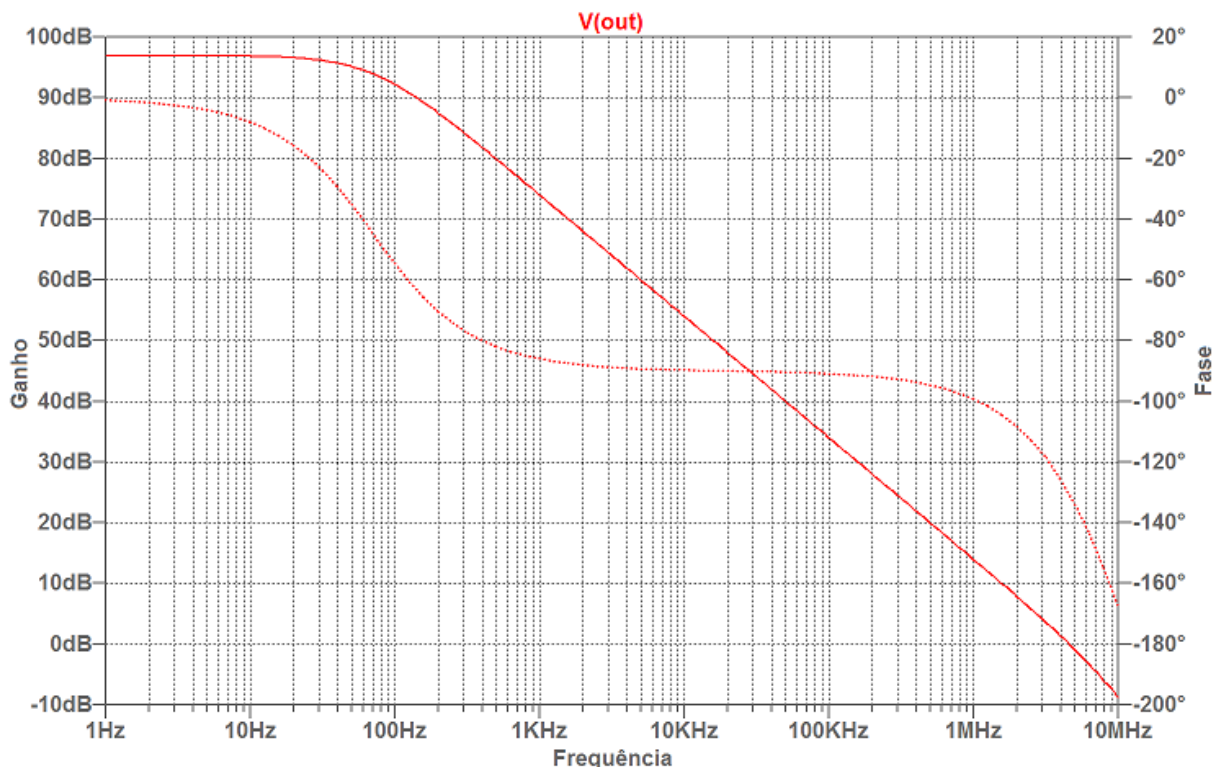


Figura 18 - Resposta em frequência do comparador.

Para baixas frequências o circuito possui um ganho de 96 dB, quando a magnitude do ganho cai para 0 dB (ganho unitário) a frequência obtida foi 4,6 MHz e a fase $-130,5^\circ$, então a margem de fase do circuito é $\phi = 180^\circ - 130,5^\circ = 49,5^\circ$. Estes resultados são próximos dos valores especificados, que foram frequência de 5 MHz e margem de fase entre 30° e 60° . Com este valor de margem de fase obtida é garantida a estabilidade do circuito proposto.

4.3 Codificador

Com a análise das equações 3.17, 3.18 e 3.19 foi possível observar que para construir o codificador são necessárias as seguintes portas lógicas: INVERSORA, NAND de 2 entradas e uma NAND de 4 entradas, então estas portas foram desenvolvidas separadas para serem utilizadas como células na implementação do *layout* do circuito codificador. Para as portas lógicas foram utilizados transistores NMOS com dimensões $L = 2 \mu\text{m}$ e $W = 6 \mu\text{m}$ e o transistores PMOS com $L = 2 \mu\text{m}$ e $W = 12 \mu\text{m}$. Estes valores foram adotados para ajustar a velocidade dos portadores dos transistores, pois transistores NMOS são duas vezes mais rápidos que os PMOS.

4.3.1 Porta Inversora

A porta inversora ou porta NOT é uma porta lógica digital que implementa a função lógica inversora. Para uma entrada em nível lógico alto tem-se como resultado uma saída em nível lógico baixo, e vice-versa, como mostra a Tabela 5.

Tabela 5 - Tabela verdade da porta inversora.

Entrada	Saída
0	1
1	0

Fonte: CALLEGARO, 2009.

Para implementar a porta lógica inversora com a tecnologia CMOS é necessário utilizar dois transistores, um PMOS na rede *pull-up*, que na entrada de um nível lógico baixo, resultará em uma saída em nível lógico alto, e outro NMOS na rede *pull-down*, que resultará em um nível lógico baixo ao aplicar um nível lógico alto na entrada. Assim foi desenvolvido o esquemático elétrico da porta inversora com transistores PMOS e NMOS na plataforma SPICE, ilustrado na Figura 19.

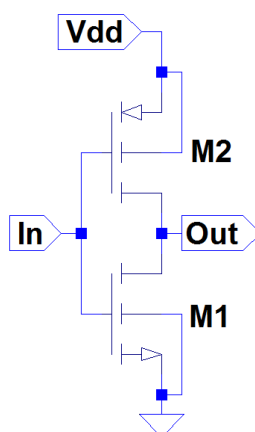


Figura 19 - Esquemático elétrico da porta inversora.

Antes de desenvolver o *layout* da porta lógica inversora, este circuito foi simulado no LTSPICE IV para comprovar seu funcionamento. Como não houve problemas na sua simulação, utilizando os transistores PMOS e NMOS anteriormente desenvolvidos foi implementado o *layout* da porta inversora, como mostra a Figura 20.

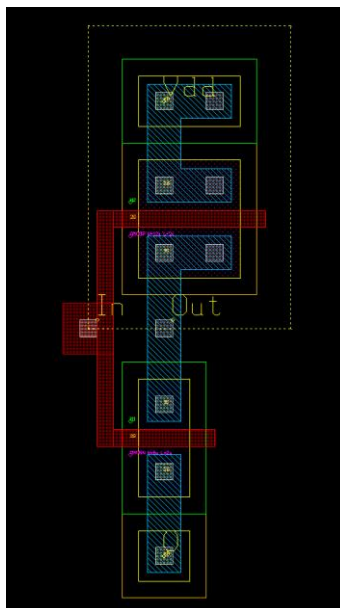


Figura 20 - *Layout* da porta inversora.

Esta é uma célula de *rank 2*, que utilizou duas células de *rank 1*, os transistores NMOS e PMOS. Os *gates* dos transistores, que receberão o sinal de entrada, são conectados com o *layer* polisilício (em vermelho) e as outras conexões são feitas com o *layer* metal1 (em azul). Outro *layer* que foi utilizado aqui foi o *N-well* (em amarelo pontilhado), para realizar a separação entre o substrato do transistor NMOS e o transistor PMOS, para que o circuito funcione normalmente.

Para verificar o funcionamento do *layout* desenvolvido foi gerada a *netlist* SPICE com o lasiCkt, a qual foi simulada utilizando o LTSPICE IV e as formas de onda de entrada e saída podem ser observadas na Figura 21.

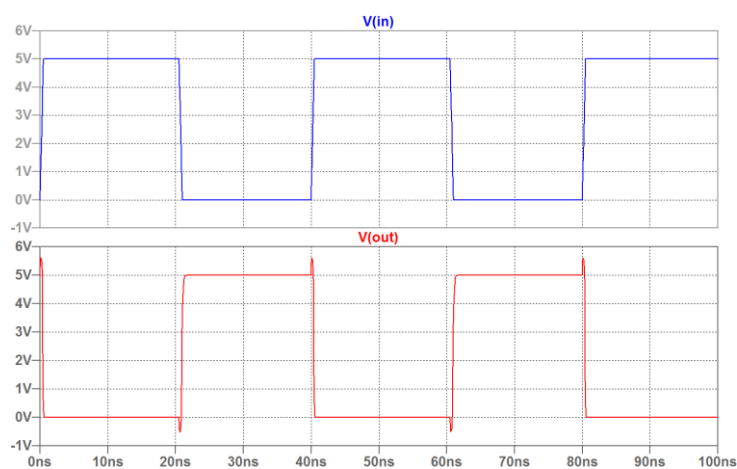


Figura 21 - Simulação da porta lógica inversora.

A primeira forma de onda é o sinal de entrada, que se trata de um pulso com amplitude de 5 V e período de 80 ns, e a segunda é o sinal de saída. Conforme o esperado, quando é aplicado um nível lógico 1 obtém-se um nível lógico 0 na saída, e vice-versa. É possível observar que no sinal de saída existem alguns picos de tensões, que ocorrem durante a transição entre os níveis lógicos, eles são causados pelas capacitâncias parasitas existentes entre o *gate* e o dreno dos transistores.

4.3.2 Porta NAND

Uma das formas de apresentar o funcionamento de uma porta lógica NAND é por meio da análise de sua tabela verdade, conforme mostra a Tabela 6.

Tabela 6 - Tabela verdade da porta NAND.

Entradas		Saída
A	B	
0	0	1
0	1	1
1	0	1
1	1	0

Fonte: CALLEGARO, 2009.

Como pode ser observado na Tabela 6 só existe uma lógica que resulta em um nível lógico baixo na saída, que ocorre quando ambas entradas estão em nível lógico alto. Assim a rede *pull-down* consiste na utilização de transistores NMOS em série. Para que a saída fique em nível lógico alto, é necessário que uma das entradas esteja em nível lógico baixo. Assim a rede *pull-up* consiste na utilização de dois transistores PMOS em paralelo. O seu esquemático elétrico está ilustrado na Figura 22.

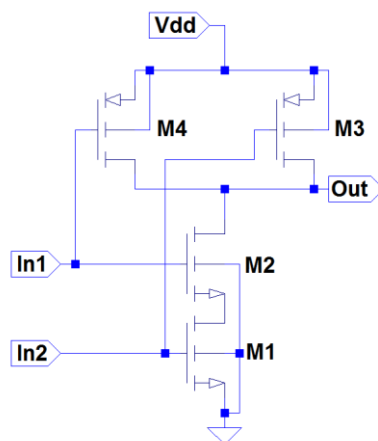


Figura 22 - Esquemático elétrico da porta NAND.

Como esta porta lógica NAND utiliza transistores NMOS e PMOS para seu funcionamento, o seu *layout* será de uma célula de *rank 2*. Após a sua simulação no LTSPICE IV realizou-se a implementação de seu *layout*, ilustrado na Figura 23.

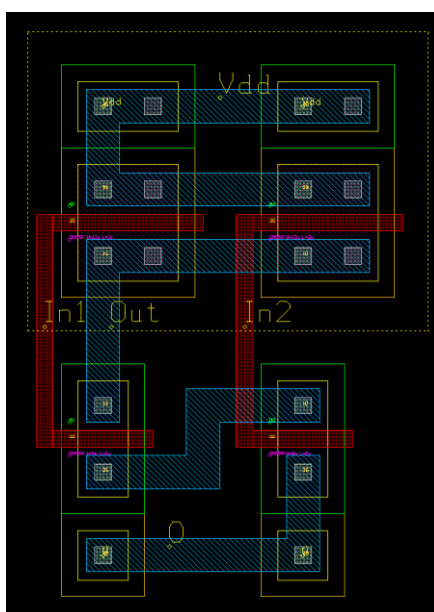


Figura 23 - *Layout* da porta lógica NAND.

Observando a Figura 23 é possível notar que alguns *layers* sobrepõem outros, mas isto não atrapalha no funcionamento do circuito, pois eles representam camadas que estão em potenciais diferentes. A porta lógica NAND é considerada como uma das portas lógicas universais, pois através dela é possível implementar qualquer outra porta lógica.

Para verificar o funcionamento do *layout* desenvolvido foi gerada a *netlist* SPICE com o LasiCkt, a qual foi simulada utilizando o LTSPICE IV e as formas de onda de entrada e saída podem ser observadas na Figura 24.

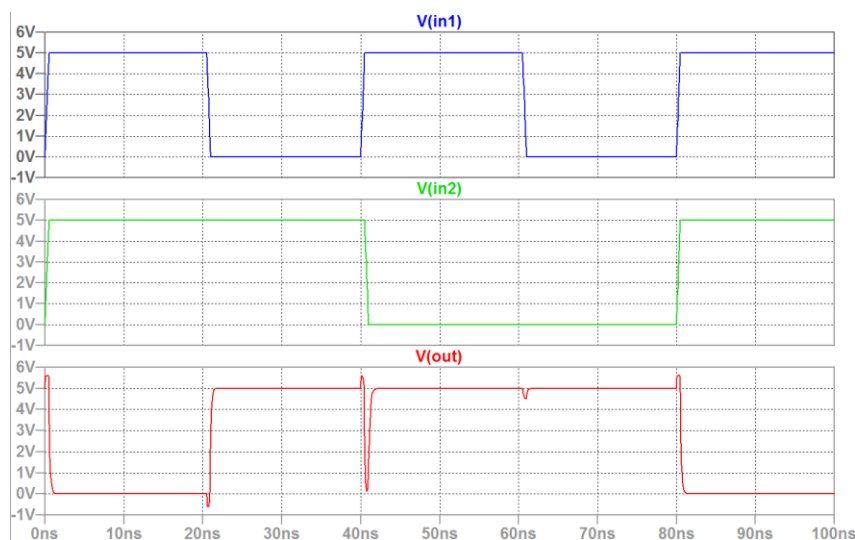


Figura 24 - Simulação da porta lógica NAND.

As duas primeiras formas de onda são os sinais de entrada de amplitude 5V e períodos de 40 e 80 ns, as fontes simuladas no SPICE não são ideais, elas possuem tempos de subida e descida, que apesar de serem pequenos influenciam na forma de onda de saída, como pode ser observado no instante próximo a 40 ns onde ocorre um rápido distúrbio de aproximadamente 1 ns. Este distúrbio não irá atrapalhar o desempenho do circuito projetado, pois ele foi causado pela comutação das fontes empregadas e não pelo funcionamento da porta lógica.

Também foi desenvolvida uma porta NAND de 4 entradas, seu princípio de funcionamento é o mesmo da porta de 2 entradas, a diferença é que ela utiliza o dobro de transistores. A Figura 25 ilustra o esquemático da porta NAND de 4 entradas.

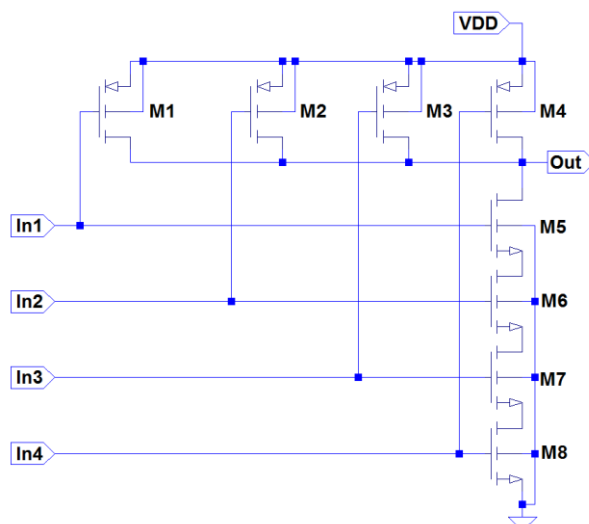


Figura 25 - Esquemático elétrico da porta NAND de 4 entradas.

Após a simulação do circuito proposto no SPICE, desenvolveu-se o *layout* da porta NAND de 4 entradas, e assim como a porta de 2 entradas ela também é uma célula de *rank 2*, conforme ilustra a Figura 26.

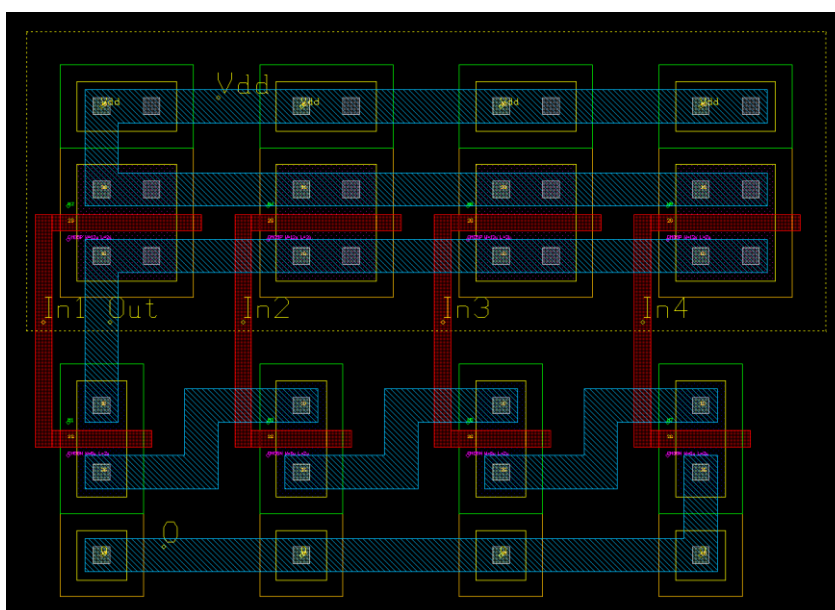


Figura 26 - *Layout* da porta lógica NAND de 4 entradas.

Para comprovar o funcionamento do *layout* desenvolvido, realizou-se a simulação da *netlist* gerada utilizando 4 sinais de entrada com amplitude de 5 V e cada um deles com o dobro do período do sinal anterior, para verificar a resposta em cada situação existente, que podem ser observados na Figura 27.

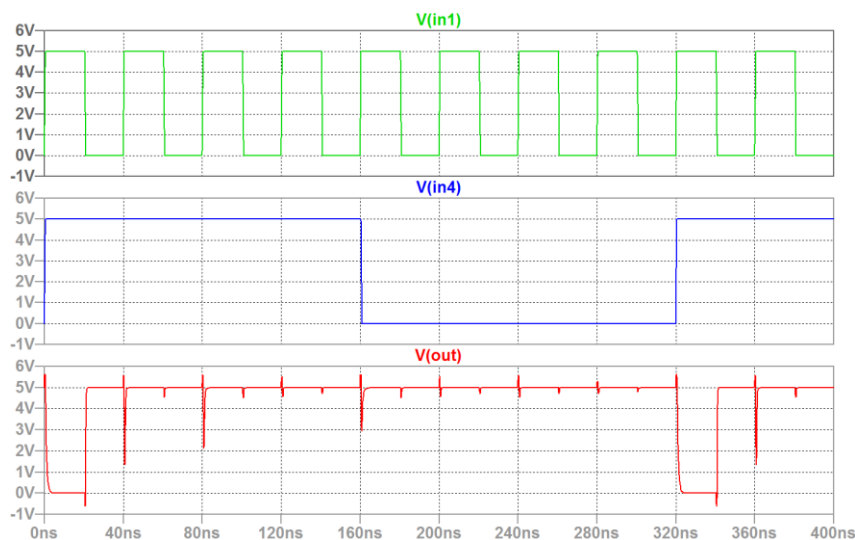


Figura 27 - Simulação da porta lógica NAND de 4 entradas.

Assim como na porta NAND anterior é possível observar que existem alguns picos de tensões e ruídos, que são causados pelas fontes utilizadas e também pelas capacitâncias parasitas existentes.

4.3.3 Circuito codificador

Utilizando as portas lógicas desenvolvidas o esquemático elétrico do codificador foi desenvolvido no LTSPICE IV, para verificar o seu funcionamento e facilitar no desenho do *layout*, conforme ilustra a Figura 28.

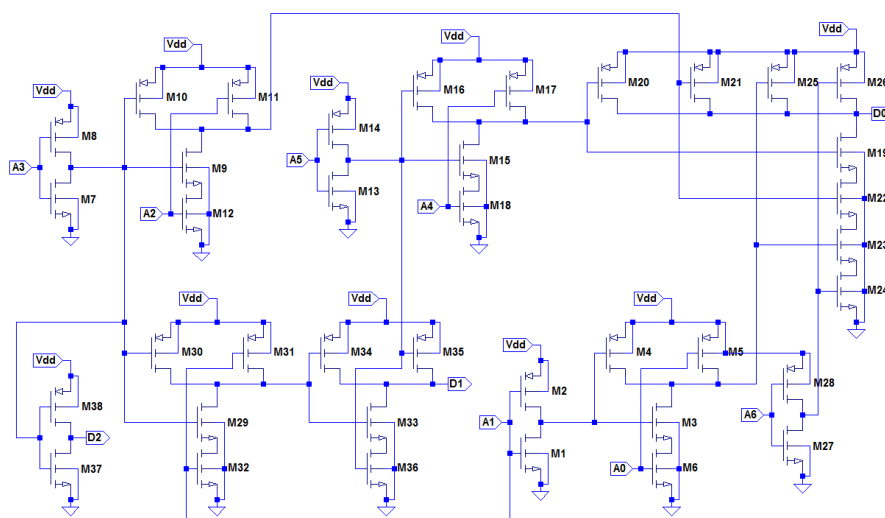


Figura 28 - Esquemático elétrico do codificador.

O *layout* do codificador se trata de uma célula de *rank* 3, pois as portas lógicas utilizadas são células de *rank* 2. A Figura 29 ilustra o *layout* do circuito codificador que converte o código termômetro em um código binário de 3 bits.

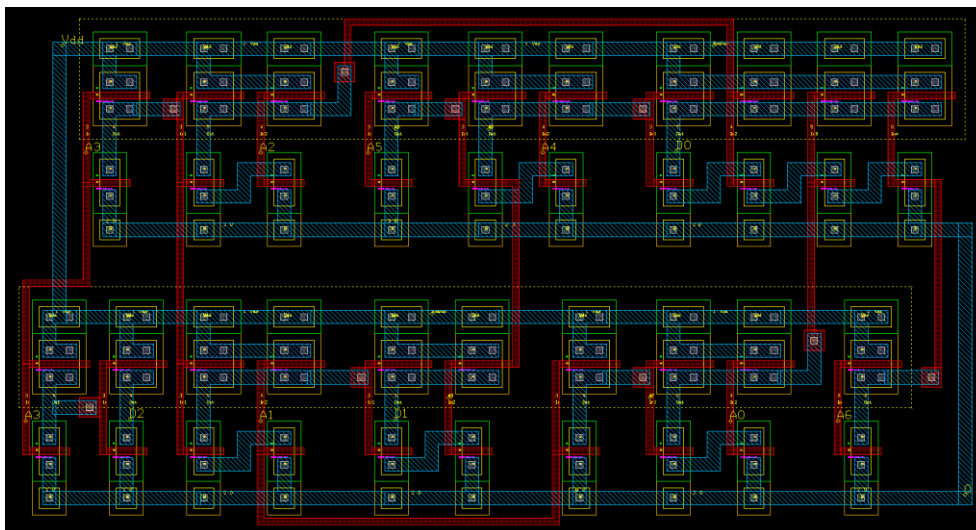


Figura 29 - *Layout* do codificador.

Quanto maior for o tamanho do circuito desenvolvido, mais complexo ele fica, principalmente para gerar a *netlist* SPICE, pois o LASI precisa identificar todas as conexões existentes, mas se alguma delas não for indicada ele cria nós virtuais que podem atrapalhar ou ajudar na simulação.

Este circuito possui 7 entradas e 3 saídas, então para realizar a sua simulação foi utilizado o código termômetro na entrada, assim como foi mostrado na Tabela 3, e o sinal de saída pode ser observado na Figura 30.

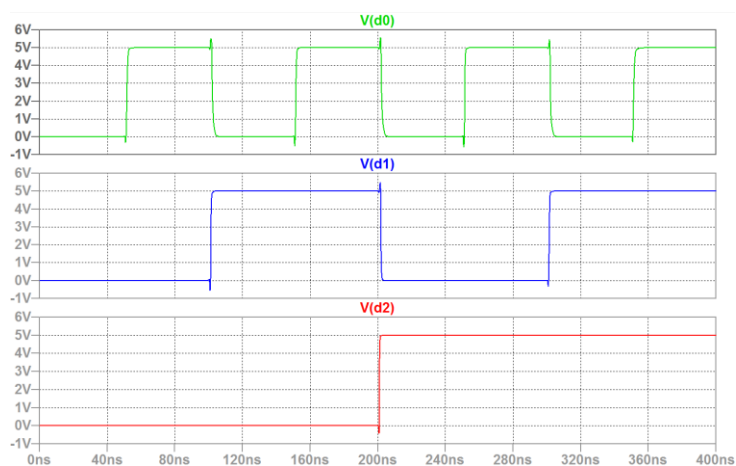


Figura 30 - Simulação do codificador.

O sinal de saída, composto pelos bits D0, D1 e D2 corresponde ao sistema binário, conforme o esperado. Existem alguns ruídos causados pelas capacitâncias parasitas presentes, mas eles não atrapalham o funcionamento do circuito.

4.4 Conversor A/D Flash de 3 bits

Após desenvolver todas as células necessárias para criar o conversor A/D, foi implementado o esquemático elétrico no LTSPICE IV para verificar o seu funcionamento, conforme ilustra a Figura 31.

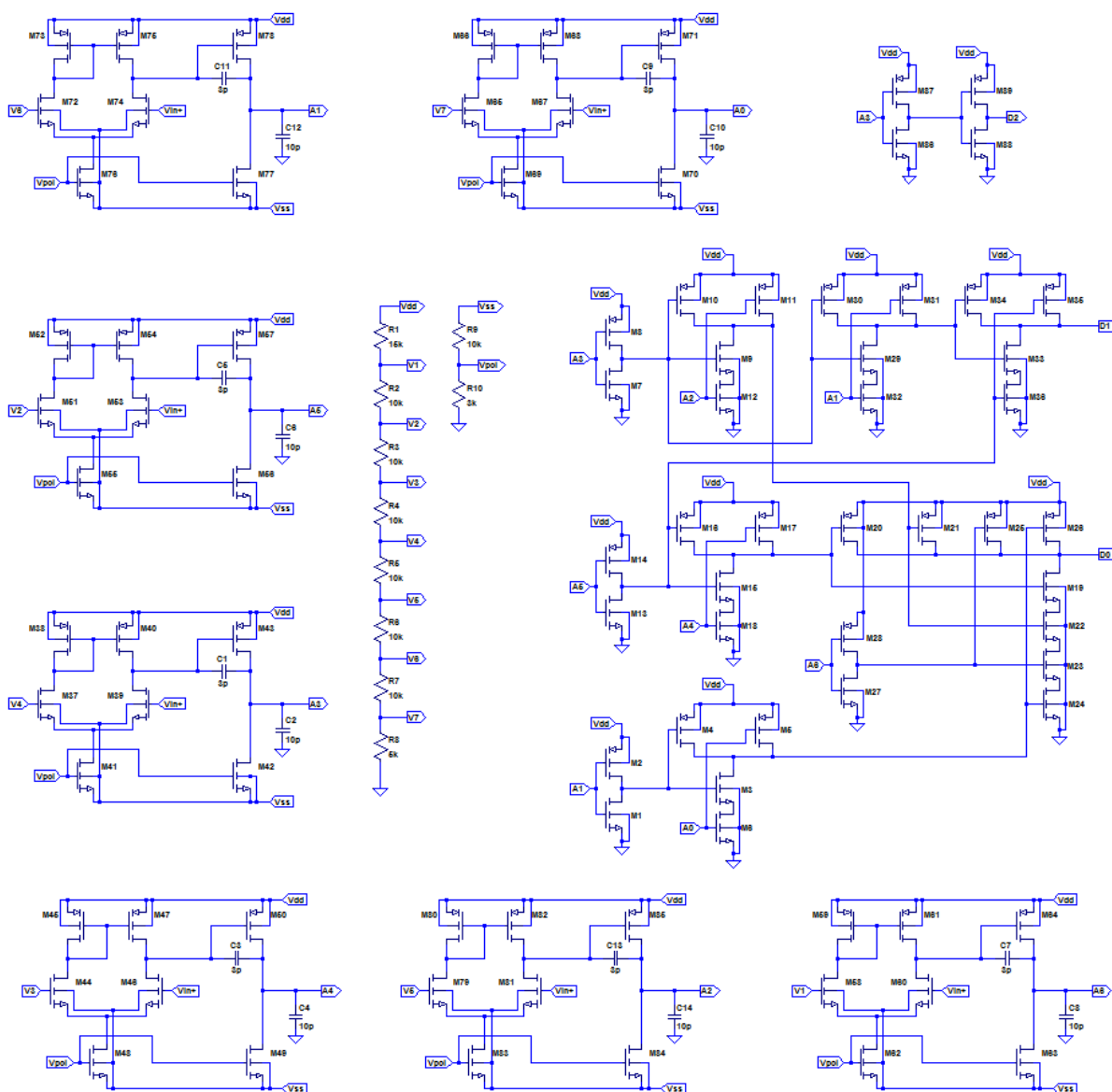


Figura 31 - Esquemático elétrico do conversor A/D.

O conversor A/D projetado possui 89 transistores PMOS e NMOS, que são divididos em 7 comparadores e um circuito codificador, além de ter uma rede resistiva utilizada para gerar as tensões de referência. Utilizando todas as células desenvolvidas o *layout* do conversor foi implementado no LASI conforme ilustra a Figura 32.

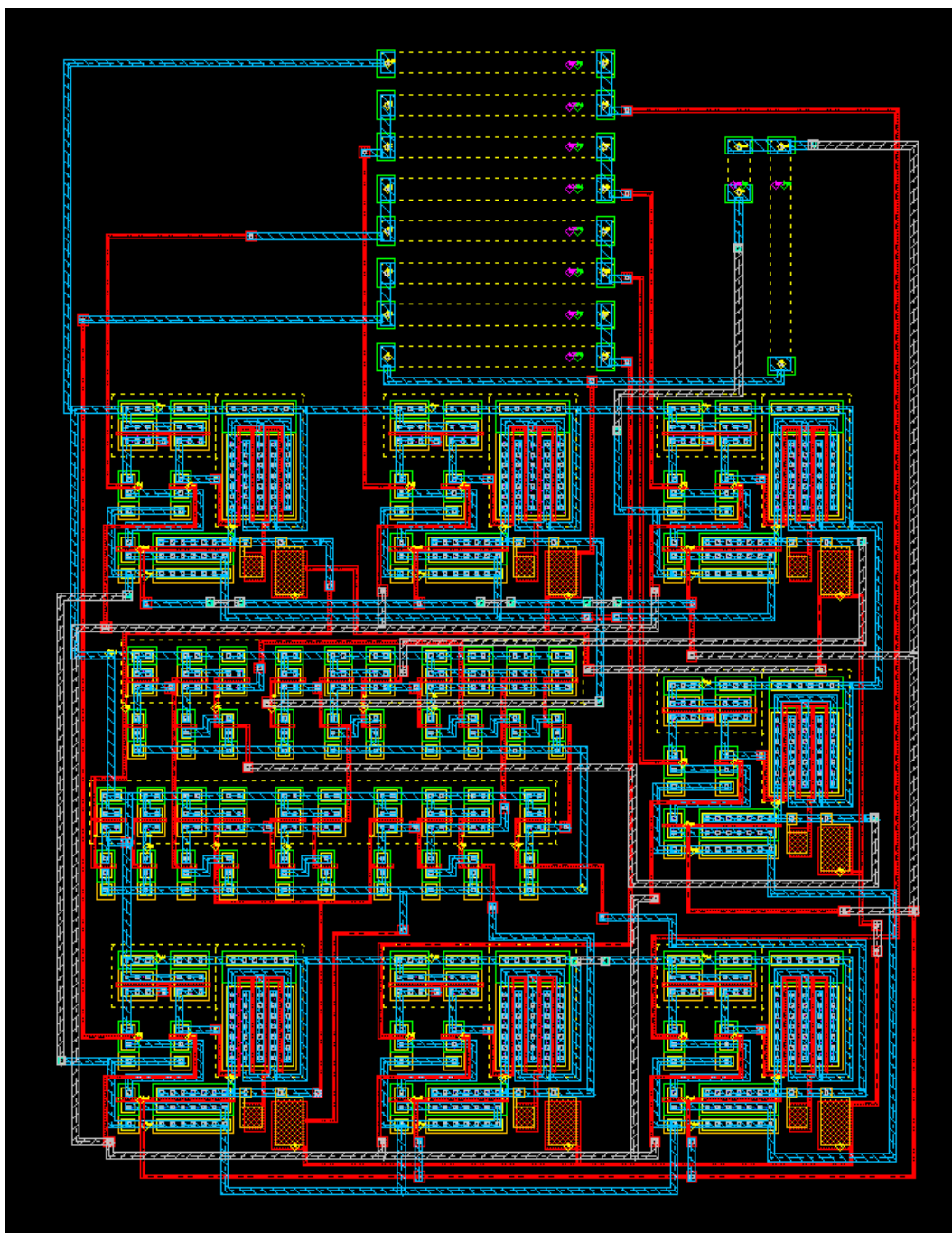


Figura 32 - *Layout* do conversor A/D.

Para a implementação deste *layout* foram utilizadas células de *rank* 1, 2 e 3, então o *rank* da célula desenvolvida é 4. Devido à complexidade do circuito, além de utilizar a camada metal1 (em azul) e a poly1 (em vermelho) para realizar as conexões, também foi necessário usar a camada metal2 (em cinza). Durante a verificação das regras de desenho com o LasiDrc para analisar todos os *layers* do circuito foi necessário utilizar 70 das 117 regras existentes. O conversor desenvolvido ocupa uma área ativa de $492 \mu\text{m} \times 655 \mu\text{m}$, que pode ser diminuída se for desejado, pois a tecnologia dos transistores utilizados é de $0,35 \mu\text{m}$ enquanto o comprimento do canal adotado para todos os transistores é de $2 \mu\text{m}$. A rede resistiva foi feita com resistores de $10 \text{ k}\Omega$, por meio do *layer N-well* onde a área formada por W/L define o valor da resistência (BAKER, 2010). Os resistores são responsáveis por dividir a tensão de alimentação em 7 níveis diferentes de tensões.

Por meio do lasiCkt a *netlist* do conversor A/D foi gerada e sua descrição pode ser encontrada no APÊNDICE C. A simulação da *netlist* gerada foi realizada no LTSPICE IV, a Figura 33 ilustra os resultados obtidos na simulação. Aplicou-se na entrada um sinal senoidal de 5 kHz com amplitude de 5 V de pico a pico para verificar o seu funcionamento.

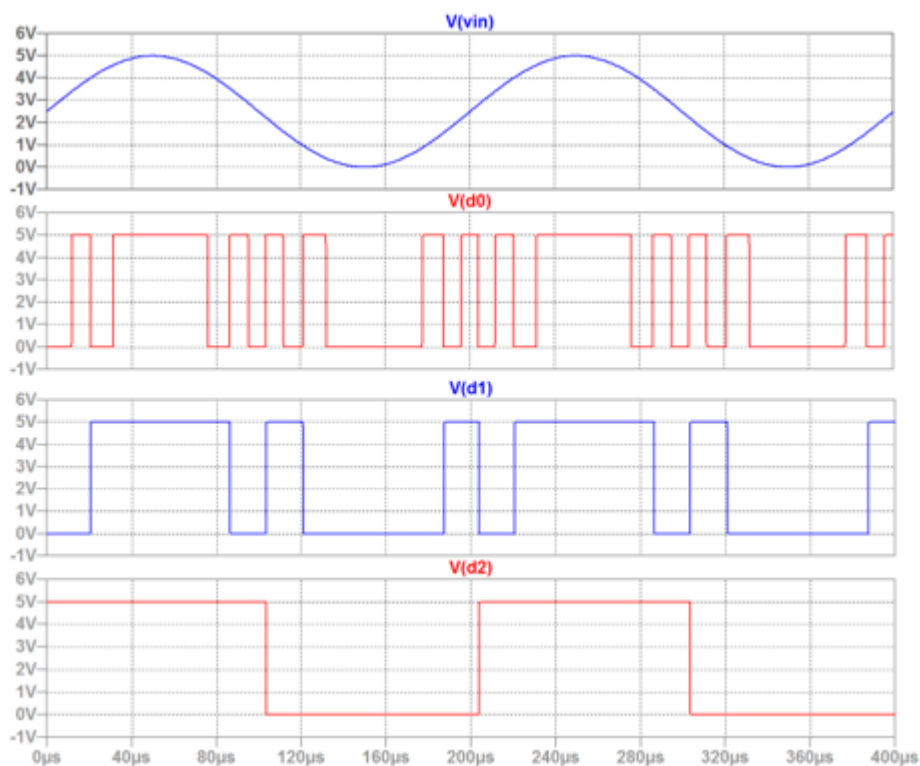


Figura 33 - Simulação do conversor A/D.

Como pode ser observado na Figura 33, o conversor se comportou da forma esperada, o sinal de entrada é comparado com cada um dos 7 níveis de tensão e a resposta é convertida nos bits D0, D1 e D2. O consumo de potência do conversor A/D projetado para um sinal de entrada de 5 kHz foi de 7,35 mW. Adicionalmente, realizou-se realizados testes com sinais de entrada para diferentes valores de frequências com o objetivo de analisar a faixa de frequência que o circuito pode operar sem degradar a precisão do valor convertido. Desse modo, pode-se verificar que o circuito desenvolvido se mantém estável para valores de frequências de até 1,5 MHz.

É importante ressaltar que os processos de conversão e quantização podem inserir ruídos indesejáveis, que podem ser atenuados por mecanismos como filtros digitais, mas estes mecanismos não foram implementados, visto que aumentariam a complexidade do circuito. O próximo capítulo apresenta as conclusões obtidas após a finalização do projeto e algumas sugestões para trabalhos futuros.

5 CONSIDERAÇÕES FINAIS

Este capítulo apresenta as conclusões obtidas após a finalização do projeto e as perspectivas para trabalhos futuros.

5.1 Conclusão

Ao longo desta monografia, foram apresentados os conceitos fundamentais necessários para realizar o projeto de *layouts* de circuitos integrados. Foram abordadas informações sobre todos os circuitos necessários para criar um conversor A/D, desde a criação de um transistor MOS até chegar na construção final de um conversor A/D.

A partir da fundamentação teórica, o primeiro passo foi definir as topologias a serem utilizadas no projeto do conversor e do comparador. Em seguida cada bloco do conversor foi projetado e simulado com o LTSPICE IV para verificar seu funcionamento, e após a confirmação da correta operação de cada bloco do conversor, realizou-se a implementação de cada um dos *layouts* com o LASI. Após a finalização de cada *layout*, realizou-se simulações com o LTSPICE IV a partir dos *netlists* extraídos, para verificar o funcionamento e validar os *layouts* desenvolvidos.

O conversor A/D *flash* de 3 bits desenvolvido utilizou os parâmetros da tecnologia CMOS 0,35 μm da TSMC como modelo para os transistores. O *layout* implementado possui área ativa inferior a 0,33 mm^2 , com consumo de potência em torno de 7,35 mW para um sinal de 5 kHz e alimentação simétrica de 5 V. Verificou-se também que o conversor possui boa resolução sem degradação do sinal de saída para frequências de até 1,5 MHz. Apesar das capacitâncias parasitas e de alguns ruídos existentes, o circuito integrado projetado apresentou bons resultados.

A vantagem de se utilizar um conversor A/D *flash* é que sua conversão ocorre de forma simultânea, mas em contrapartida quanto maior for sua resolução, mais complexo será o circuito e mais comparadores serão necessários. Ou seja, se o número de bits for pequeno sua implementação é viável, mas para uma conversão de 8 bits por exemplo, seriam necessários 255 comparadores, o que tornaria inviável a construção do circuito com esta topologia.

As principais dificuldades encontradas durante o desenvolvimento do projeto foram a inexperiência com relação ao desenvolvimento dos circuitos integrados analógicos e a indisponibilidade de ferramentas de *layouts* mais desenvolvidas. Como não foi possível realizar a aquisição de uma ferramenta mais desenvolvida, definiu-se a utilização do LASI, um *software* educacional que possui recursos limitados, quando comparado com ferramentas comerciais como o ambiente de desenvolvimento de circuitos integrados da Cadence. Inicialmente houve uma certa dificuldade no entendimento do funcionamento do LASI, pois não existem muitas referências e tutoriais sobre esta ferramenta disponíveis na literatura, mas após entender o seu funcionamento, foi possível realizar a implementação dos *layouts* dos circuitos integrados.

Um fator que valoriza o trabalho realizado é que todos os *softwares* que foram utilizados no desenvolvimento dos *layouts* são gratuitos, apesar das limitações existentes eles possuem os recursos necessários para projetar os circuitos integrados.

Os objetivos deste trabalho de conclusão de curso foram atingidos satisfatoriamente, no qual realizou-se a implementação de cada circuito e após as devidas simulações desenvolveu-se seus respectivos *layouts*, sempre respeitando as regras de projeto e realizando as modificações necessárias para que os circuitos tivessem o melhor desempenho possível, dentro das limitações existentes.

5.2 Trabalhos Futuros

Os resultados obtidos nesse trabalho são estímulos para a continuidade na área de projeto de circuitos integrados. Para a continuação deste trabalho sugere-se a otimização do conversor A/D, melhorar sua resolução e a faixa de frequência que o circuito pode operar. Para isto deve-se estudar as topologias existentes tanto de conversores A/D como de amplificadores operacionais. Uma outra sugestão é enviar o *layout* desenvolvido para a fabricação, assim será possível realizar todos os testes para validar o funcionamento do circuito, além de possibilitar a extração dos parâmetros elétricos dos transistores.

REFERÊNCIAS BIBLIOGRÁFICAS

ALLEN P. E.; HOLBERG, D. R. **CMOS Analog Circuit Design**. 2nd Ed. New York: Oxford University Press, 2002. 784 p.

BAKER, R. J. et al. **A CMOS Standard-Cell Library for the PC-based LASI Layout System**. Midwest Symposium on Circuits and Systems, 1998.

BAKER, R. J. **CMOS Circuit Design, Layout and Simulation**. 3rd Edition. Wiley - IEEE Press, 2010.

BRINKMAN, W. et al. **A History of the Invention of the Transistor and Where It Will Lead Us**. IEEE J. Solid-St. Circ. Vol. 32, no. 12, 1997.

BUTZEN, P. F. et al. **Efeitos Físicos Nanométricos em Circuitos Integrados Digitais**. Desafios e Avanços em Computação: O Estado da Arte. Pelotas: Editora Universitária/UFPel, 2009. p. 221-240.

CALLEGARO, V. et al. **Redes de Transistores e Portas Lógicas CMOS**. Desafios e Avanços em Computação: O Estado da Arte. Pelotas: Editora Universitária/UFPel, 2009. p. 193-220.

CHEAH, Kok Wai. **History of Integrated Circuit (IC)**. Department of Physics, Hong Kong Baptist University, 2008.

CHIQUITO, A. J.; LANCIOTTI, F. J. **O Transistor, 50 Anos**. Departamento de Física da Universidade Federal de São Carlos. Revista Brasileira de Ensino de Física vol. 20, no. 4, Dezembro, 1998.

CUNHA, V. S. **Projeto e Simulação de um AMP-OP para Validação de um Sistema de Filtro de Tempo Discreto**. 2016. 57 p. Trabalho de Conclusão de Curso (Engenharia Elétrica) - Departamento de Engenharia Elétrica, Universidade Federal do Paraná. Curitiba, 2016.

FERREIRA, E. C. **Transistores de Efeito de Campo (FETS)**. Departamento de Eletrônica e Microeletrônica, Faculdade de Engenharia Elétrica e de Computação da UNICAMP. Campinas, 2012.

GOMES, O. S. **Linguagens de Descrição de Hardware**. Instituto Federal de Minas Gerais. Formiga, 2014.

GUIZZO, E. M. **O microchip: pequena invenção grande revolução**. Laboratório de Sistemas Integráveis - Escola Politécnica da Universidade de São Paulo. 2000. Disponível em: <<http://www.lsi.usp.br/~chip/index.html>>. Acesso em: 03 abr. 2017.

KANG, S. M.; LABLEBICI, Y. **CMOS Digital Integrated Circuits – Analysis and Design**. 3rd Edition. New York: McGraw-Hill, 2003. 658 p.

LASI 7. **What is LASI?** Disponível em: <<http://lasihome.com/index.htm>>. Acesso em: 08 mai. 2017.

LOUREIRO, I. F. **Aplicação de Opções Reais ao Setor de Circuitos Integrados**. 2010. 60p. Dissertação (Mestrado em Administração) - Departamento de Administração, Pontifícia Universidade Católica do Rio de Janeiro. Rio de Janeiro, 2010.

MAGNO, A. J. **Circuito Integrado: Amplificador Operacional**. 2007. 55 p. Trabalho de Conclusão de Curso (Engenharia Elétrica) - Departamento de Engenharia Elétrica, Universidade São Francisco. Campinas, 2007.

MANERA, L. T. **Determinação de regras de projeto e de parâmetros de simulação de um processo nMOS para fabricação de circuitos integrados**. 2002. 112 p. Dissertação (Mestrado em Engenharia Elétrica) - Departamento de Semicondutores, Instrumentação e Fotônica, Universidade Estadual de Campinas. Campinas, 2002.

MEHL, E. L. **Do Transistor a Microprocessador**. Disponível em: <http://stoa.usp.br/kblane/files/827/4714/historia_transistor.pdf>. Acesso em: 03 abr. 2017.

MOORE, G. E. **Cramming More Components Onto Integrated Circuits**. Electronics, Volume 38, Número 8, Abril 19, 1965.

NAGEL, L. W.; PEDERSON, D. O. **SPICE (Simulation Program with Integrated Circuit Emphasis)**. Memorandum No. ERL-M382, University of California, Berkeley, Apr. 1973.

OLIVEIRA, C. A. **Estudo e Projeto de um Conversor D/A de Alta Velocidade em Tecnologia CMOS**. 2005. 101 p. Dissertação (Mestrado em Engenharia Elétrica) - Departamento de Engenharia de Sistemas Eletrônicos, Escola Politécnica da Universidade de São Paulo. São Paulo, 2005.

REIS, R. A. **Concepção de Circuitos Integrados**. 2ª Ed. Porto Alegre: Bookman. Instituto de Informática da UFRGS, 2008. v. 7.

SCHULER, C. **Electronics: Principles and Applications**. McGraw-Hill, Eight Edition, 2013.

STEER, M. B. **SPICE: User's guide and reference**. Manual, Edition 1.3, July 2, 2007.

SWART, J. W. **Evolução de Microeletrônica a Micro-Sistemas**. Centro de Componentes Semicondutores, Faculdade de Engenharia Elétrica e de Computação da UNICAMP. Campinas, 2001.

WARWICK, C. **Everything you always wanted to know about SPICE* (*But were afraid to ask)**. EMC Journal (Nutwood UK Limited) (82): 27--29. ISSN 1748-9253, May 2009.

APÊNDICE A - Parâmetros dos Transistores MOS

Neste apêndice do trabalho são apresentados os parâmetros dos transistores MOS utilizados no desenvolvimento da monografia. Com estes parâmetros realizou-se o dimensionamento dos transistores e as simulações das *netlists* SPICE.

PARAMETROS ELETRICOS MOSIS
FORNECEDOR: TSMC
TAMANHO: 0.35 um

PARAMETROS DO TRANSISTOR	W/L	CANAL N	CANAL P	UNIDADE
MINIMO	0.6/0.4			
Vth		0.57	-0.76	V
CURTO	20/0.4			
Idss		471	-214	uA/um
Vth		0.61	-0.76	V
Vpt		9.2	-10.0	V
LARGO	20/0.4			
Ids0		0.6	-0.1	pA/um
GRANDE	50/50			
Vth		0.55	-0.74	V
Vjbkd		8.7	-8.6	V
Ijlk		-37.4	1.8	pA
Gamma		0.63	0.33	V^0.5
K' (Uo*Cox/2)		79.2	-29.2	uA/V^2

Tecnologia	XL
-----	-----
TSMC35	0.03
Tox	0.04

FOX TRANSISTORES	GATE	N+ACTIVE	P+ACTIVE	UNIDADE
Vth	Poly	>15.0	<-15.0	V

PARAMETROS DE PROCESSO	N+ACTV	P+ACTV	POLY	POLY2	MTL1	MTL2	MTL3	UNIDADE
Resistencia da Folha	80.0	151.9	7.9	50.9	0.08	0.07	0.04	ohms/sq
Varição de largura (mensurado - desenhado)	0.04	0.05	0.04	-0.22	0.15	0.02	0.04	microns
Resistencia de Contato	64.9	125.5	6.3	33.7		1.36	2.61	ohms
Espessura Gate Oxido	77							angstrom

PARAMETROS DE PROCESSO	N_WELL	N\PLY	UNIDADE
Resistencia da Folha	1014	1074	ohms/sq

PARAMETROS DE CAPACITANCIA	N+ACTV	P+ACTV	MTL1	MTL2	MTL3	POLY	POLY2	N_WELL	UNIDADE
Area (substrate)	880	1383	22	13	7	109		51	aF/um^2
Area (N+active)			35	17	12	4503			aF/um^2
Area (P+active)						4526			aF/um^2
Area (poly)			48	15	9		864		aF/um^2
Area (poly2)			46						aF/um^2
Area (metall1)				36	14				aF/um^2
Area (metal2)					38				aF/um^2
Borda (substrate)	308	363	86	40	21				aF/um
Borda (poly)			62	39	29				aF/um
Borda (metall1)				57	34				aF/um
Borda (metal2)					62				aF/um
Sobreposicao (N+active)						350			aF/um
Sobreposicao (P+active)						302			aF/um

PARAMETROS DO CIRCUITO			UNIDADE
Inversores	K		
Vinv	1.0	1.26	V
Vinv	1.5	1.39	V
Vol (100 uA)	2.0	0.35	V
Voh (100 uA)	2.0	2.82	V
Vinv	2.0	1.49	V
Ganho	2.0	-20.00	
Frequencia do Oscilador em Anel			
DIV256 (31 estagios,3.3V)		183.36	MHz
Potencia do Oscilador em Anel			
DIV256 (31 estagios,3.3V)		0.14	uW/MHz/g

PARAMETROS SPICE BSIM3 VERSÃO 3.1

LTSPICE IV Level 49

```

.MODEL CMOSN NMOS (
+LEVEL = 49          acm = 3          hdif = 0.5e-6
+VERSION = 3.1      TNOM = 27        TOX = 7.7E-9
+XJ = 1E-7         NCH = 2.3579E17   VTH0 = 0.5048265
+K1 = 0.5542796    K2 = 0.0155863    K3 = 2.3475646
+K3B = -3.3142916  W0 = 4.145888E-5    NLX = 1.430868E-7
+DVT0W = 0         DVT1W = 0         DVT2W = 0
+DVT0 = -0.0150839 DVT1 = 1.51022E-3    DVT2 = 0.170688
+U0 = 415.8570638  UA = 5.057324E-11    UB = 1.496793E-18
+UC = 2.986268E-11 VSAT = 1.237033E5    A0 = 0.9098788
+AGS = 0.2120181   B0 = 1.683612E-6    B1 = 5E-6
+KETA = -4.011887E-4 A1 = 0         A2 = 1
+RDSW = 1.156967E3 PRWG = -8.468558E-3    PRWB = -7.678669E-3
+WR = 1            WINT = 5.621821E-8    LINT = 1.606205E-8
+XL = -2E-8        XW = 0         DWG = -6.450939E-9
+DWB = 6.530228E-9 VOFF = -0.1259348    NFACTOR = 0.3344887
+CIT = 0           CDSC = 1.527511E-3    CDSCD = 0
+CDSCB = 0         ETA0 = 1.21138E-3    ETAB = -1.520242E-4
+DSUB = 0.1259886 PCLM = 0.8254768    PDIBLC1 = 0.4211084
+PDIBLC2 = 6.081164E-3 PDIBLCB = -5.865856E-6    DROUT = 0.7022263
+PSCBE1 = 7.238634E9 PSCBE2 = 5E-10    PVAG = 0.6261655
+DELTA = 0.01      MOBMOD = 1         PRT = 0
+UTE = -1.5        KT1 = -0.11    KT1L = 0
+KT2 = 0.022      UA1 = 4.31E-9    UB1 = -7.61E-18
+UC1 = -5.6E-11   AT = 3.3E4     WL = 0
+WLN = 1           WW = -1.22182E-15    WWN = 1.137
+WWL = 0           LL = 0         LLN = 1
+LW = 0            LWN = 1         LWL = 0
+CAPMOD = 2        XPART = 0.4    CGDO = 1.96E-10
+CGSO = 1.96E-10   CGBO = 0         CJ = 8.829973E-4
+PB = 0.7946332    MJ = 0.3539285    CJSW = 2.992362E-10
+PBSW = 0.9890846 MJSW = 0.1871372    PVTH0 = -0.0148617
+PRDSW = -114.7860236 PK2 = -5.151187E-3    WKETA = 5.687313E-3
+LKETA = -0.018518 )
*

.MODEL CMOSP PMOS (
+LEVEL = 49          acm = 3          hdif = 0.5e-6
+VERSION = 3.1      TNOM = 27        TOX = 7.7E-9
+XJ = 1E-7         NCH = 8.52E16    VTH0 = -0.6897992
+K1 = 0.4134289    K2 = -5.342989E-3    K3 = 24.8361788
+K3B = -1.4390847  W0 = 2.467689E-6    NLX = 3.096223E-7
+DVT0W = 0         DVT1W = 0         DVT2W = 0
+DVT0 = 1.3209807  DVT1 = 0.4695965    DVT2 = -8.790762E-4
+U0 = 150.6275733  UA = 2.016943E-10    UB = 1.714919E-18
+UC = -1.36948E-11 VSAT = 9.559222E4    A0 = 0.9871247
+AGS = 0.3541967   B0 = 3.188091E-6    B1 = 5E-6
+KETA = -0.0169877 A1 = 0         A2 = 1
+RDSW = 2.443009E3 PRWG = 0.0260616    PRWB = 0.141561
+WR = 1            WINT = 5.038936E-8    LINT = 1.650588E-9

```


+XL	= -2E-8	XW	= 0	DWG	= -1.535456E-8
+DWB	= 1.256904E-8	VOFF	= -0.15	NFACTOR	= 1.5460516
+CIT	= 0	CDSC	= 1.413317E-4	CDSCD	= 0
+CDSCB	= 0	ETA0	= 0.3751392	ETAB	= 2.343374E-3
+DSUB	= 0.8877574	PCLM	= 5.8638076	PDIBLC1	= 1.05224E-3
+PDIBLC2	= 3.481753E-5	PDIBLCB	= 2.37525E-3	DROUT	= 0.0277454
+PSCBE1	= 3.013379E10	PSCBE2	= 3.608179E-8	PVAG	= 3.9564294
+DELTA	= 0.01	MOBMOD	= 1	PRT	= 0
+UTE	= -1.5	KT1	= -0.11	KT1L	= 0
+KT2	= 0.022	UA1	= 4.31E-9	UB1	= -7.61E-18
+UC1	= -5.6E-11	AT	= 3.3E4	WL	= 0
+WLN	= 1	WW	= -5.22182E-16	WWN	= 1.125
+WWL	= 0	LL	= 0	LLN	= 1
+LW	= 0	LWN	= 1	LWL	= 0
+CAPMOD	= 2	XPART	= 0.4	CGDO	= 2.307E-10
+CGSO	= 2.307E-10	CGBO	= 0	CJ	= 1.397645E-3
+PB	= 0.99	MJ	= 0.5574537	CJSW	= 3.665392E-10
+PBSW	= 0.99	MJSW	= 0.3399328	PVTH0	= 0.0114364
+PRDSW	= 52.7951169	PK2	= 9.714153E-4	WKETA	= 0.0109418
+LKETA	= 7.702974E-3)			
*					

APÊNDICE B - Dimensionamento dos Transistores

Neste apêndice do trabalho são apresentados os cálculos realizados para o dimensionamento dos transistores desenvolvidos nesta monografia.

Dimensionamento dos transistores do amplificador operacional de dois estágios

Capacitor C_c :

$$C_c > (2,2/10)(10 \times 10^{-12}) > 2,2 \text{ pF}.$$

Optou-se por utilizar um capacitor de 3 pF, atendendo o valor mínimo calculado.

Corrente I_5 :

$$I_5 = (10 \times 10^6)(3 \times 10^{-12}) = 30 \text{ } \mu\text{A}.$$

Relação M3:

$$(W/L)_3 = \frac{30 \times 10^{-6}}{(29,2 \times 10^{-6})[5 - 4,5 - 0,76 + 0,61]^2} = 8,39,$$

Para facilitar no *layout* do dispositivo a relação de M3 foi arredondada para 9.

$$(W/L)_3 = (W/L)_4 = 9.$$

Transcondutância g_{m1} :

$$g_{m1} = (5 \times 10^6)(2\pi)(3 \times 10^{-12}) = 94,25 \text{ } \mu\text{S}.$$

Relação M1:

$$(W/L)_1 = \frac{(94,25 \times 10^{-6})^2}{(79,2 \times 10^{-6})(30 \times 10^{-6})} = 3,74,$$

Para facilitar no *layout* do dispositivo a relação de M1 foi arredondada para 4.

$$(W/L)_1 = (W/L)_2 = 4.$$

Tensão V_{DS5} :

$$V_{DS5} = -3.5 + 5 - \left(\frac{30 \times 10^{-6}}{(79,2 \times 10^{-6})(4)} \right)^{1/2} - 0,76 = 0,432 \text{ V}.$$

Relação M5:

$$(W/L)_5 = \frac{2(30 \times 10^{-6})}{(79,2 \times 10^{-6})(0,432)^2} = 4.$$

Transcondutância g_{m6} :

$$g_{m6} = 10(94,25 \times 10^{-6}) = 942,5 \mu S.$$

Transcondutância g_{m4} :

$$g_{m3} = g_{m4} = \sqrt{2(29,2 \times 10^{-6})(9)(15 \times 10^{-6})} = 88,79 \mu S.$$

Relação M6:

$$(W/L)_6 = 9 \frac{(942,5 \times 10^{-6})}{(88,79 \times 10^{-6})} = 95,5,$$

Para facilitar no *layout* do dispositivo a relação de M6 foi arredondada para 96.

Corrente I_6 :

$$I_6 = \frac{(942,5 \times 10^{-6})^2}{2(29,2 \times 10^{-6})(96)} = 158,44 \mu A.$$

Relação M7:

$$(W/L)_7 = 4 \left(\frac{158,44 \times 10^{-6}}{30 \times 10^{-6}} \right) = 21.$$

APÊNDICE C - Netlist SPICE do conversor A/D

Neste apêndice do trabalho é apresentada a *netlist* SPICE extraída do *layout* do conversor A/D *flash* de 3 bits.

```

*****
* Projeto de Layout de um Conversor A/D
* Engenharia Elétrica - IFMG
* Autor: Tarlei Almeida
* Orientador: Rafael Vinicius Tayette da Nobrega
* Formiga, junho de 2017
*****
*** Spice Circuit File of CONVERSOR - LasiCkt 7.0.92

*Note: Read Text with Fixed Pitch Font

* Start of C:\Lasi7\Conversor\Conversor.hdr
Vdd Vdd 0 dc 5
Vss Vss 0 dc -5
Vin Vin 0 sine (2.5 2.5 5K)

.tran .5ns 400us

* End of C:\Lasi7\Conversor\Conversor.hdr

*** CONVERSOR.COMPARADOR ***

.SUBCKT COMPARADOR Vdd 0 Vss Vref Vin+ Vin- Out n3 n2 vn1

Cc Out n2 3pF
C1 Out 0 10pF
M1 n3 Vin- n1 Vss CMOSN W=8u L=2u
M2 n2 Vin+ n1 Vss CMOSN W=8u L=2u
M3 n3 n3 Vdd Vdd CMOSP W=18u L=2u
M4 n2 n3 Vdd Vdd CMOSP W=18u L=2u
M5 n1 Vref Vss Vss CMOSN W=8u L=2u
M6 Out n2 Vdd Vdd CMOSP W=184u L=2u
M7 Out Vref Vss Vss CMOSN W=42u L=2u

* Node to Gnd Parasitic Caps
C_n2 n2 0 12.1152fF
C_n3 n3 0 9.9125fF
C_Out Out 0 60.7679fF
C_Vdd Vdd 0 71.031fF
C_Vss Vss 0 49.9189fF

* Node to Node Parasitic Caps
C_n2_Out n2 Out 2.73328fF
C_n2_Vdd n2 Vdd 1.7786fF
.ENDS

*** CONVERSOR.CODIFICADOR.4NAND ***

.SUBCKT 4NAND Vdd 0 In1 In2 In3 In4 Out vn1 vn2 vn3

M1 Out In1 vn1 0 CMOSN W=6u L=2u
M2 Out In1 Vdd Vdd CMOSP W=12u L=2u
M3 vn1 In2 vn2 0 CMOSN W=6u L=2u
M4 Out In2 Vdd Vdd CMOSP W=12u L=2u
M5 vn2 In3 vn3 0 CMOSN W=6u L=2u
M6 Out In3 Vdd Vdd CMOSP W=12u L=2u
M7 vn3 In4 0 0 CMOSN W=6u L=2u
M8 Out In4 Vdd Vdd CMOSP W=12u L=2u

```

```

* Node to Gnd Parasitic Caps
C_Out Out 0 20.2954fF
C_Vdd Vdd 0 34.2954fF
C_vn1 vn1 0 7.5116fF
C_vn2 vn2 0 7.5116fF
C_vn3 vn3 0 7.5116fF

* Node to Node Parasitic Caps
C_In2_Out In2 Out 1.36528fF
C_In2_vn1 In2 vn1 1.36528fF
C_In3_Out In3 Out 1.36528fF
C_In3_vn2 In3 vn2 1.36528fF
C_In4_Out In4 Out 1.36528fF
C_In4_vn3 In4 vn3 1.36528fF
.ENDS

*** CONVERTOR.CODIFICADOR.INVERSOR ***

.SUBCKT INVERSOR Vdd 0 In Out

M1 Out In 0 0 CMOSN W=6u L=2u
M2 Out In Vdd Vdd CMOSP W=12u L=2u

* Node to Gnd Parasitic Caps
C_Out Out 0 5.917fF
C_Vdd Vdd 0 5.517fF

* Node to Node Parasitic Caps
.ENDS

*** CONVERTOR.CODIFICADOR.NAND ***

.SUBCKT NAND Vdd 0 In1 In2 Out vn1

M1 Out In1 vn1 0 CMOSN W=6u L=2u
M2 Out In1 Vdd Vdd CMOSP W=12u L=2u
M3 vn1 In2 0 0 CMOSN W=6u L=2u
M4 Out In2 Vdd Vdd CMOSP W=12u L=2u

* Node to Gnd Parasitic Caps
C_Out Out 0 10.7098fF
C_Vdd Vdd 0 15.1098fF
C_vn1 vn1 0 7.5116fF

* Node to Node Parasitic Caps
C_In2_Out In2 Out 1.36528fF
C_In2_vn1 In2 vn1 1.36528fF
.ENDS

*** CONVERTOR.CODIFICADOR ***

.SUBCKT CODIFICADOR Vdd 0 A0 A1 A2 A3 A4 A5 A6 D0 D1 D2 n1 vn1 vn2 vn3 vn5 vn6 vn7
vn8 vn9 vn10 vn11 vn12 vn13 vn14 vn15 vn16 vn17

X_10_NAND Vdd 0 n7 A0 n6 vn15 NAND
X_11_NAND Vdd 0 n3 A4 n5 vn16 NAND
X_12_NAND Vdd 0 n1 A1 n2 vn17 NAND
X_1_4NAND Vdd 0 n5 n4 n6 n8 D0 vn9 vn10 vn11 4NAND
X_2_INVERSOR Vdd 0 A5 n3 INVERSOR
X_3_INVERSOR Vdd 0 A3 n1 INVERSOR
X_4_INVERSOR Vdd 0 A6 n8 INVERSOR
X_5_INVERSOR Vdd 0 A1 n7 INVERSOR
X_6_INVERSOR Vdd 0 n0 D2 INVERSOR
X_7_INVERSOR Vdd 0 A3 n0 INVERSOR
X_8_NAND Vdd 0 n2 n3 D1 vn13 NAND
X_9_NAND Vdd 0 n1 A2 n4 vn14 NAND

```

* Node to Gnd Parasitic Caps

C_n1 n1 0 3.1158fF
C_Vdd Vdd 0 120.56fF

* Node to Node Parasitic Caps

C_A3_Vdd A3 Vdd 1.36256fF
C_n1_Vdd n1 Vdd 1.36388fF
.ENDS

*** CONVERSOR ***

* CONVERSOR

R1 Vdd V1 10K
R10 Vpol 0 10K
R2 V2 V1 10K
R3 V2 V3 10K
R4 V4 V3 10K
R5 V4 V5 10K
R6 V6 V5 10K
R7 V6 V7 10K
R8 0 V7 10K
R9 Vpol Vss 1.6K
X_11_COMPARADOR Vdd 0 Vss Vpol Vin V7 A0 vn49 vn50 vn52 COMPARADOR
X_12_COMPARADOR Vdd 0 Vss Vpol Vin V6 A1 vn56 vn57 vn59 COMPARADOR
X_13_COMPARADOR Vdd 0 Vss Vpol Vin V3 A4 vn63 vn64 vn65 COMPARADOR
X_14_COMPARADOR Vdd 0 Vss Vpol Vin V1 A6 vn69 vn70 vn72 COMPARADOR
X_15_COMPARADOR Vdd 0 Vss Vpol Vin V5 A2 vn76 vn77 vn78 COMPARADOR
X_16_COMPARADOR Vdd 0 Vss Vpol Vin V2 A5 vn82 vn83 vn84 COMPARADOR
X_17_COMPARADOR Vdd 0 Vss Vpol Vin V4 A3 vn88 vn89 vn91 COMPARADOR
X_18_CODIFICADOR Vdd 0 A0 A1 A2 A3 A4 A5 A6 D0 D1 D2 vn98 vn95 vn96 vn97 vn100
vn101 vn102 vn32 vn104 vn105 vn106 vn107 vn110 vn111 vn112 vn113 vn114 CODIFICADOR

* Node to Gnd Parasitic Caps

C_vn32 vn32 0 202.52684fF

* Node to Node Parasitic Caps

```
.MODEL CMOSN NMOS (
+LEVEL      = 8                acm      = 3                hdif      = 0.5e-6
+VERSION    = 3.1              TNOM    = 27              TOX       = 7.7E-9
+XJ         = 1E-7             NCH     = 2.3579E17     VTH0      = 0.5048265
+K1         = 0.5542796        K2       = 0.0155863    K3        = 2.3475646
+K3B        = -3.3142916       W0       = 4.145888E-5  NLX       = 1.430868E-7
+DVT0W      = 0                DVT1W   = 0                DVT2W     = 0
+DVT0       = -0.0150839       DVT1    = 1.51022E-3    DVT2      = 0.170688
+U0         = 415.8570638       UA       = 5.057324E-11    UB        = 1.496793E-18
+UC         = 2.986268E-11      VSAT    = 1.237033E5    A0        = 0.9098788
+AGS        = 0.2120181        B0       = 1.683612E-6   B1        = 5E-6
+KETA       = -4.011887E-4      A1       = 0                A2        = 1
+RDSW       = 1.156967E3       PRWG    = -8.468558E-3  PRWB      = -7.678669E-3
+WR         = 1                WINT    = 5.621821E-8    LINT      = 1.606205E-8
+XL         = -2E-8            XW       = 0                DWG       = -6.450939E-9
+DWB        = 6.530228E-9       VOFF    = -0.1259348    NFACTOR   = 0.3344887
+CIT        = 0                CDSC    = 1.527511E-3    CDSCD     = 0
+CDSCB      = 0                ETA0    = 1.21138E-3        ETAB      = -1.520242E-4
+DSUB       = 0.1259886        PCLM    = 0.8254768    PDIBLC1   = 0.4211084
+PDIBLC2    = 6.081164E-3       PDIBLCB = -5.865856E-6    DROUT     = 0.7022263
+PSCBE1     = 7.238634E9        PSCBE2  = 5E-10          PVAG      = 0.6261655
+DELTA      = 0.01             MOBMOD   = 1                PRT       = 0
+UTE        = -1.5             KT1     = -0.11          KT1L      = 0
+KT2        = 0.022           UAl     = 4.31E-9         UB1       = -7.61E-18
+UC1        = -5.6E-11         AT       = 3.3E4          WL        = 0
+WLN        = 1                WW       = -1.22182E-15   WVN       = 1.137
+WWL        = 0                LL       = 0                LLN       = 1
+LW         = 0                LWN     = 1                LWL       = 0
+CAPMOD     = 2                XPART   = 0.4            CGDO      = 1.96E-10
+CGSO       = 1.96E-10        CGBO    = 0                CJ        = 8.829973E-4
```

```

+PB      = 0.7946332      MJ      = 0.3539285      CJSW    = 2.992362E-10
+PBSW    = 0.9890846      MJSW   = 0.1871372      PVTH0   = -0.0148617
+PRDSW   = -114.7860236   PK2     = -5.151187E-3   WKETA   = 5.687313E-3
+LKETA   = -0.018518      )
*
.MODEL CMOSP PMOS (
+LEVEL    = 8              acm      = 3              hdif     = 0.5e-6
+VERSION  = 3.1           TNOM     = 27             TOX      = 7.7E-9
+XJ       = 1E-7          NCH     = 8.52E16      VTH0     = -0.6897992
+K1       = 0.4134289     K2      = -5.342989E-3  K3       = 24.8361788
+K3B      = -1.4390847    W0      = 2.467689E-6  NLX      = 3.096223E-7
+DVT0W    = 0            DVT1W   = 0            DVT2W    = 0
+DVT0     = 1.3209807    DVT1    = 0.4695965   DVT2     = -8.790762E-4
+U0       = 150.6275733   UA      = 2.016943E-10  UB       = 1.714919E-18
+UC       = -1.36948E-11 VSAT    = 9.559222E4   A0       = 0.9871247
+AGS      = 0.3541967    B0      = 3.188091E-6  B1       = 5E-6
+KETA     = -0.0169877   A1      = 0            A2       = 1
+RDSW    = 2.443009E3    PRWG    = 0.0260616   PRWB     = 0.141561
+WR       = 1            WINT    = 5.038936E-8  LINT     = 1.650588E-9
+XL       = -2E-8        XW      = 0            DWG      = -1.535456E-8
+DWB      = 1.256904E-8  VOFF    = -0.15       NFACTOR  = 1.5460516
+CIT      = 0            CDSC    = 1.413317E-4  CDSCD    = 0
+CDSCB    = 0            ETA0    = 0.3751392     ETAB     = 2.343374E-3
+DSUB     = 0.8877574    PCLM    = 5.8638076   PDIBLC1  = 1.05224E-3
+PDIBLC2  = 3.481753E-5  PDIBLCB = 2.37525E-3   DROUT    = 0.0277454
+PSCBE1   = 3.013379E10  PSCBE2  = 3.608179E-8  PVAG     = 3.9564294
+DELTA    = 0.01         MOBMOD  = 1            PRT      = 0
+UTE      = -1.5         KT1     = -0.11        KT1L     = 0
+KT2      = 0.022       UA1     = 4.31E-9        UB1      = -7.61E-18
+UC1      = -5.6E-11    AT      = 3.3E4        WL       = 0
+WLN      = 1            WW      = -5.22182E-16  WWN      = 1.125
+WWL      = 0            LL      = 0            LLN      = 1
+LW       = 0            LWN     = 1            LWL      = 0
+CAPMOD   = 2            XPART   = 0.4          CGDO     = 2.307E-10
+CGSO     = 2.307E-10    CGBO    = 0            CJ       = 1.397645E-3
+PB       = 0.99         MJ      = 0.5574537    CJSW    = 3.665392E-10
+PBSW     = 0.99         MJSW   = 0.3399328    PVTH0   = 0.0114364
+PRDSW    = 52.7951169   PK2     = 9.714153E-4   WKETA   = 0.0109418
+LKETA    = 7.702974E-3  )
*

```

* End of C:\Lasi7\Conversor\Mosis_035um.ftr

.END